

### Soluzione

Si realizza un contatore modulo 6 resettando il ciclo in corrispondenza della combinazione  $0110_2$  ( $6_{10}$ ) (fig. 7.57a).

Come si nota dal diagramma temporale di fig. 7.57b, il segnale sull'uscita  $Q_C$  completa un periodo ogni sei periodi di clock, quindi la frequenza risulta divisa per sei.

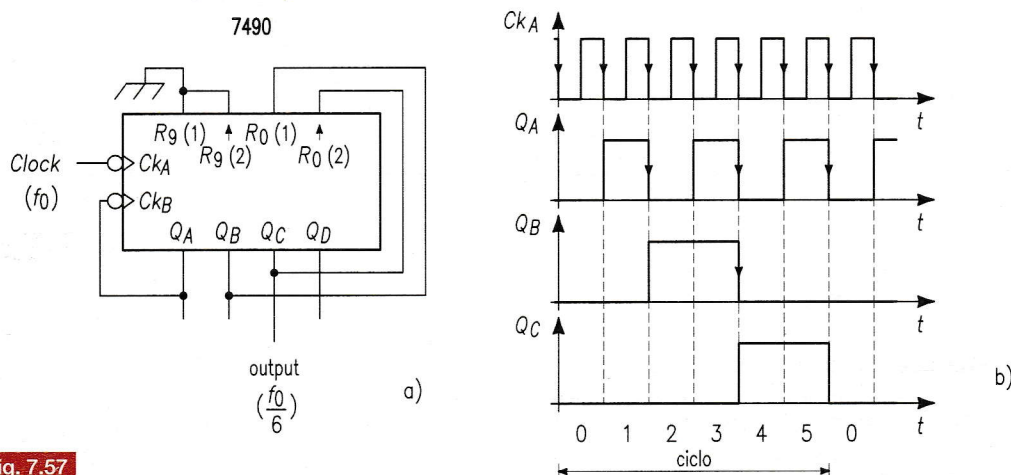


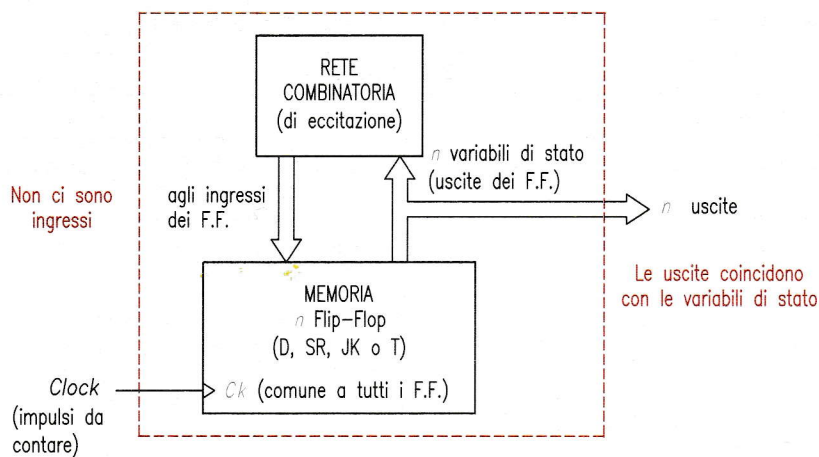
Fig. 7.57

## 7.7 I contatori sincroni

**Def.** Si definiscono **contatori sincroni** (*synchronous counters*) quelli in cui tutte le commutazioni delle uscite avvengono nel medesimo istante, in sincronismo con i fronti attivi del segnale d'ingresso. Per ottenere tale sincronismo il segnale d'ingresso deve essere collegato agli ingressi di clock di tutti i flip-flop del contatore.

Lo **schema a blocchi di un contatore sincrono**, rappresentato nella fig. 7.58, evidenzia:

- il blocco **memoria**, contenente  $n$  flip-flop dello stesso tipo (D, SR, JK o T), tutti sincronizzati dallo stesso segnale di clock che reca gli impulsi da contare;
- le  $n$  uscite del contatore che coincidono con le uscite degli  $n$  flip-flop del blocco memoria, dette **variabili di stato**, poiché individuano lo stato del contatore in un dato istante;
- la **rete combinatoria di eccitazione**, che ha il compito di determinare in quale stato (**stato futuro**) dovrà portarsi il contatore in corrispondenza del prossimo colpo di clock, in base allo stato (**stato presente**) in cui si trova in un dato istante. La rete combinatoria riceve in ingresso le variabili di stato, cioè le uscite dei flip-flop, e genera in uscita i valori che saranno letti dagli ingressi dei flip-flop all'arrivo del successivo fronte attivo di clock.
- Rispetto allo schema generale di una rete sequenziale (fig. 7.1), il contatore sincrono non possiede ingressi, a parte quello di clock che fornisce la temporizzazione, ed è quindi costretto ad evolvere secondo una sequenza predefinita di stati, scandita dai fronti attivi del clock.



Schema a blocchi di un contatore sincrono. **Fig. 7.58**

## Il diagramma degli stati

Contrariamente ai contatori asincroni, che realizzano necessariamente una progressione di valori crescente o decrescente, il ciclo dei contatori sincroni può evolvere secondo una qualunque sequenza di stati.

Per rappresentare il ciclo di un contatore sincrono viene generalmente utilizzato il **diagramma degli stati**, di cui si riporta un esempio in fig. 7.59, dove si può notare che:

- ogni stato del contatore è raffigurato con un cerchio (*anello*), contenente la corrispondente combinazione dei valori delle uscite;
- da ogni anello esce una sola freccia, che indica verso quale stato (*stato futuro*) evolverà il contatore all'arrivo del fronte attivo di clock;
- alcuni anelli possono non presentare frecce entranti, come nel caso degli stati 100 e 110, mentre altri, come lo stato 000 possono avere più di una freccia entrante;
- la sequenza di conteggio può essere qualunque e non necessariamente una progressione binaria come per i contatori asincroni;
- può succedere, come nel caso dello stato 010 non appartenente al ciclo di conteggio, che lo stato futuro coincida con quello presente ed il diagramma presenti quindi un *autoanello* esterno al ciclo. Nella progettazione dei contatori è bene evitare questa eventualità, perché se all'accensione della rete o in presenza di un errore lo stato evolvesse verso l'autoanello, il contatore rimarrebbe bloccato e non potrebbe riprendere la sequenza principale.

Nella tab. 7.1 sono evidenziati gli elementi utili per confrontare le prestazioni dei contatori asincroni e sincroni.

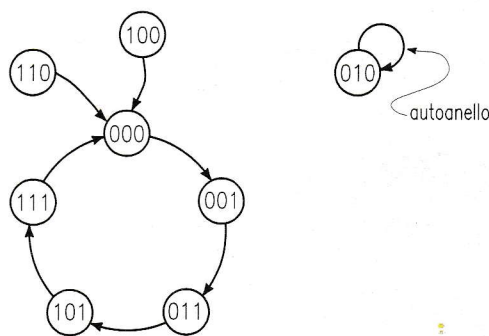


Diagramma degli stati di un contatore sincrono. **Fig. 7.59**



**Tab. 7.1** - Confronto tra le prestazioni dei contatori asincroni e sincroni.

CONTATORI	
<i>Asincroni</i>	<i>Sincroni</i>
– Le uscite non sono sincronizzate con il <i>Clock</i> .	– Le uscite commutano in sincronismo con il fronte attivo del <i>Clock</i> .
– Eseguono solo sequenze binarie UP o DOWN.	– Possono realizzare qualunque sequenza di conteggio.
– Sono più semplici; richiedono al più una porta logica per il troncamento.	– Sono più complessi; è necessario progettare una rete combinatoria specifica.
– Si realizzano esclusivamente con Flip-Flop JK utilizzati in modo <i>Toggle</i> .	– Possono essere realizzati con qualunque tipo di Flip-Flop.

### 7.7.1 Analisi dei contatori sincroni



Per **analisi di un contatore sincrono** s'intende il procedimento che, dato lo schema del circuito, ha come obiettivo l'individuazione del relativo diagramma degli stati e quindi della sequenza di conteggio. L'analisi si può affrontare mediante i seguenti passi (esempio 7.17):

- 1) si *determinano le funzioni* che legano ogni uscita della rete combinatoria di eccitazione agli ingressi di tale rete (coincidenti con le uscite *Q* dei flip-flop).
- 2) Si compila la *tabella di flusso*, costituita da tre colonne così organizzate:
  - 1<sup>a</sup> colonna (*stato presente*): si scrivono tutte le possibili combinazioni di valori delle variabili di stato, cioè delle uscite dei flip-flop;
  - 2<sup>a</sup> colonna (*ingressi dei flip-flop*, coincidenti con le uscite della rete combinatoria): calcolando le espressioni trovate al punto 1 si ricavano i valori delle uscite della rete combinatoria relative ad ogni combinazione delle variabili di stato;
  - 3<sup>a</sup> colonna (*stato futuro*): dai valori degli ingressi di ogni flip-flop si deducono i valori delle uscite *Q* in corrispondenza del successivo fronte attivo di clock.
- 3) analizzando la tabella di flusso si deduce lo stato futuro relativo ad ogni stato (presente) e si può quindi *disegnare il diagramma degli stati*.

#### ESEMPIO 7.17

Analizzare il contatore sincrono rappresentato in fig. 7.60a.

*Soluzione*

- 1) Analizzando la rete combinatoria si ricavano i legami tra le variabili *Q* e *D*:

$$D_1 = \overline{Q_1}Q_0 \quad D_0 = \overline{Q_1}\overline{Q_0}$$

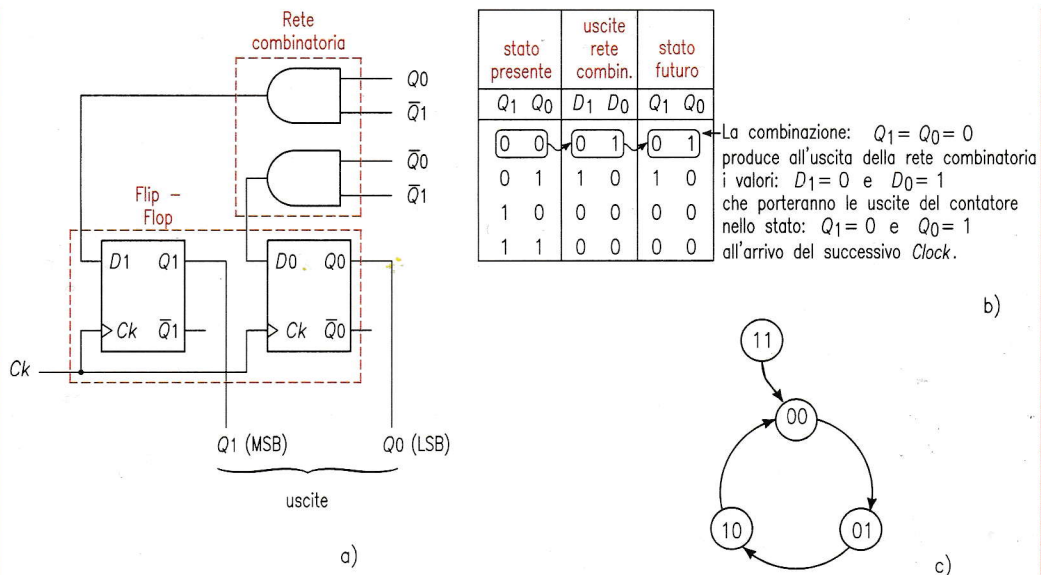


Fig. 7.60

- si compila la tabella di flusso (fig. 7.60b);
- si disegna il diagramma degli stati, analizzando riga per riga la prima e la terza colonna della tabella (fig. 7.60c).

### ESEMPIO 7.18

Analizzare il contatore sincrono rappresentato in fig. 7.61a.

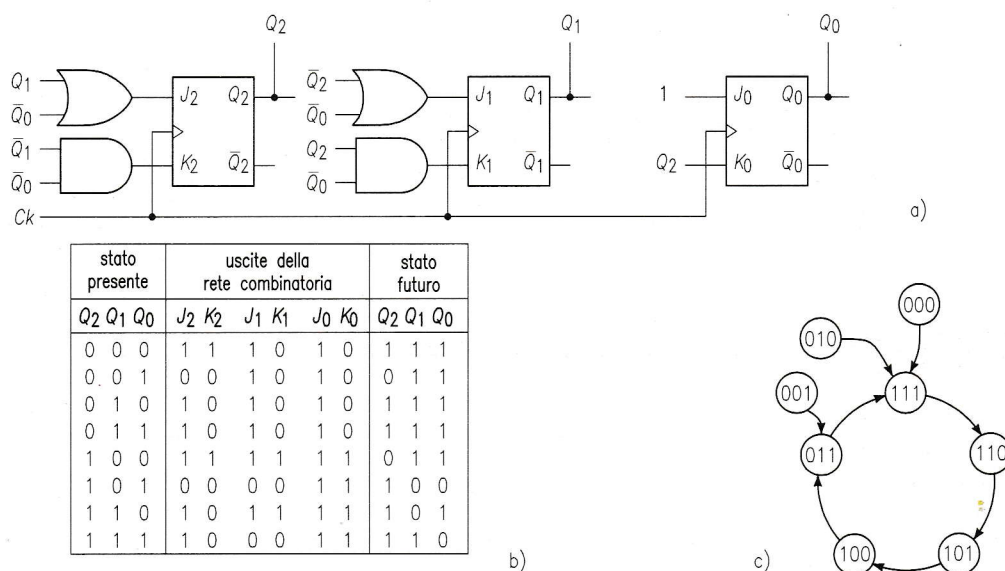


Fig. 7.61



### Soluzione

1) Analizzando la rete combinatoria si ricavano i legami tra le variabili  $Q$  e  $J, K$ :

$$J_2 = Q_1 + \overline{Q_0}; \quad K_2 = \overline{Q_1} \overline{Q_0}; \quad J_1 = \overline{Q_2} + \overline{Q_0}; \quad K_1 = Q_2 Q_0; \quad J_0 = 1; \quad K_0 = Q_2;$$

2) si compila la tabella di flusso (fig. 7.61b);

3) si traccia il diagramma degli stati analizzando, riga per riga, la prima e la terza colonna della tabella (fig. 7.61c).

## 7.7.2 Sintesi dei contatori sincroni



Si definisce **sintesi (o progetto) di un contatore sincrono** il procedimento che, data una sequenza di conteggio, porta alla definizione del corrispondente schema circuitale. La sintesi può svolgersi mediante i seguenti passi (esempio 7.19):

- 1) si disegna il *diagramma degli stati* che descrive la sequenza richiesta; per gli stati che non sono coinvolti nella sequenza si possono scegliere arbitrariamente gli stati futuri, generalmente indirizzandoli all'interno del ciclo ed evitando di realizzare pericolosi autoanelli esterni al ciclo.
- 2) In base al modulo del contatore, che coincide con il numero di stati possibili, si determina il *numero dei flip-flop necessari*: tenendo conto che ad ogni stato è associata una combinazione delle uscite dei bistabili, per rappresentare  $K$  stati è necessario il numero minimo  $N$  di flip-flop tale che  $2^N \geq K$ .
- 3) Si determina il *tipo dei flip-flop* da utilizzare che, se non indicato espressamente dalle specifiche, può essere scelto liberamente tra i tipi D, SR, JK o T.
- 4) Si compila la *tabella di flusso*, costituita da tre colonne così organizzate:
  - 1ª colonna (*stato presente*): si elencano tutte le possibili combinazioni di valori delle variabili di stato, cioè delle uscite dei flip-flop;
  - 2ª colonna (*stato futuro*): in corrispondenza ad ogni stato presente si indica lo stato futuro desiderato, come riportato nel diagramma degli stati;
  - 3ª colonna (*ingressi dei flip-flop*, collegati alle uscite della rete combinatoria): si riportano i valori che è necessario porre agli ingressi dei flip-flop, per ottenere le transizioni delle relative uscite indicate nelle prime due colonne della tabella; per compilare la terza colonna si deve tenere presente la tabella delle transizioni del flip-flop utilizzato.
- 5) Si progetta la *rete combinatoria di eccitazione*: si compilano tante mappe di Karnaugh quante sono le variabili indicate nella 3ª colonna della tabella di flusso (ingressi dei flip-flop); le coordinate delle mappe sono le variabili di stato presente (1ª colonna). Si ricavano dalle mappe le funzioni logiche in forma minima.
- 6) Si *disegna lo schema del contatore*, collegando gli ingressi e le uscite dei flip-flop alla rete combinatoria progettata al punto 5.

### ESEMPIO 7.19

Progettare un contatore sincrono modulo 8, che segua la progressione binaria crescente.

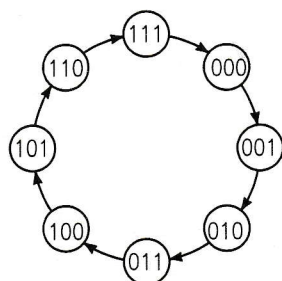
#### Soluzione

- 1) Il diagramma degli stati è quello di fig. 7.62a.

- 2) Per rappresentare otto stati sono necessari tre flip-flop ( $2^3 = 8$ ).
- 3) Si realizza il contatore con flip-flop T.
- 4) Si compila la tabella di flusso (fig. 7.62b); per la compilazione della terza colonna è necessario tenere presente la tabella delle transizioni del flip-flop T (fig. 7.62c).
- 5) Si progetta la rete combinatoria che ha come ingressi le variabili di stato presente (1ª colonna della tabella) e le cui uscite sono collegate agli ingressi  $T$  dei flip-flop (3ª colonna); dalle mappe di Karnaugh (fig. 7.62d) relative alle variabili  $T_2$ ,  $T_1$ ,  $T_0$ , si ricavano le funzioni logiche in forma minima della rete combinatoria:

$$T_2 = Q_1 Q_0; \quad T_1 = Q_0; \quad T_0 = 1$$

- 6) Si disegna lo schema del contatore (fig. 7.62e).



a)

stato presente	stato futuro	uscite della rete combinatoria
$Q_2 Q_1 Q_0$	$Q_2 Q_1 Q_0$	$T_2 T_1 T_0$
0 0 0	0 0 1	0 0 1
0 0 1	0 1 0	0 1 1
0 1 0	0 1 1	0 0 1
0 1 1	1 0 0	1 1 1
1 0 0	1 0 1	0 0 1
1 0 1	1 1 0	0 1 1
1 1 0	1 1 1	0 0 1
1 1 1	0 0 0	1 1 1

b)

affinchè  $Q_2$  commuti, deve essere:  $T_2 = 1$

affinchè  $Q_2$  non commuti, deve essere:  $T_2 = 0$

$Q_{n-1} Q_n$	$T$
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

c)

$Q_2$	$Q_1 Q_0$	00	01	11	10
0		0	0	1	0
1		0	0	1	0

$T_2$

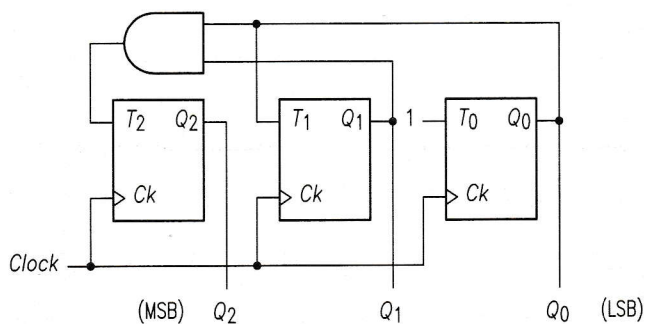
d)

$Q_2$	$Q_1 Q_0$	00	01	11	10
0		0	1	1	0
1		0	1	1	0

$T_1$

$Q_2$	$Q_1 Q_0$	00	01	11	10
0		1	1	1	1
1		1	1	1	1

$T_0$



e)

Fig. 7.62

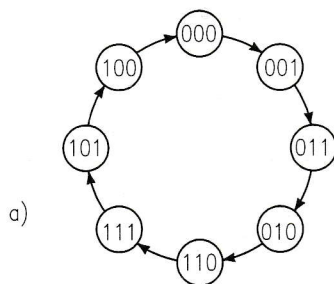


## ESEMPIO 7.20

Progettare un contatore sincrono modulo 8, che segua la progressione Gray; si utilizzino flip-flop JK.

*Soluzione*

- 1) La sequenza richiesta è illustrata dal diagramma degli stati in fig. 7.63a.
- 2) Sono necessari tre flip-flop ( $2^3 = 8$ ).



b)

stato presente			stato futuro			uscite della rete combinatoria					
$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	1	0	X	1	X	X	0
0	1	0	1	1	0	1	X	X	0	0	X
0	1	1	0	1	0	0	X	X	0	X	1
1	0	0	0	0	0	X	1	0	X	0	X
1	0	1	1	0	0	X	0	0	X	X	1
1	1	0	1	1	1	X	0	X	0	1	X
1	1	1	1	0	1	X	0	X	1	X	0

c)

$Q_{n-1}$	$Q_n$	$J$	$K$
0	→ 0	0	X
0	→ 1	1	X
1	→ 0	X	1
1	→ 1	X	0

$J_2$

$Q_2$	$Q_1$	$Q_0$	$J_2$
0	0	0	1
0	0	1	X
0	1	0	X
0	1	1	X
1	0	0	X
1	0	1	X
1	1	0	X
1	1	1	X

$K_2$

$Q_2$	$Q_1$	$Q_0$	$K_2$
0	0	0	X
0	0	1	X
0	1	0	X
0	1	1	X
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

$J_1$

$Q_2$	$Q_1$	$Q_0$	$J_1$
0	0	0	1
0	0	1	X
0	1	0	X
0	1	1	X
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

$K_1$

$Q_2$	$Q_1$	$Q_0$	$K_1$
0	0	0	X
0	0	1	X
0	1	0	0
0	1	1	0
1	0	0	X
1	0	1	X
1	1	0	1
1	1	1	0

$J_0$

$Q_2$	$Q_1$	$Q_0$	$J_0$
0	0	0	1
0	0	1	X
0	1	0	X
0	1	1	X
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

$K_0$

$Q_2$	$Q_1$	$Q_0$	$K_0$
0	0	0	X
0	0	1	X
0	1	0	1
0	1	1	X
1	0	0	X
1	0	1	X
1	1	0	0
1	1	1	0

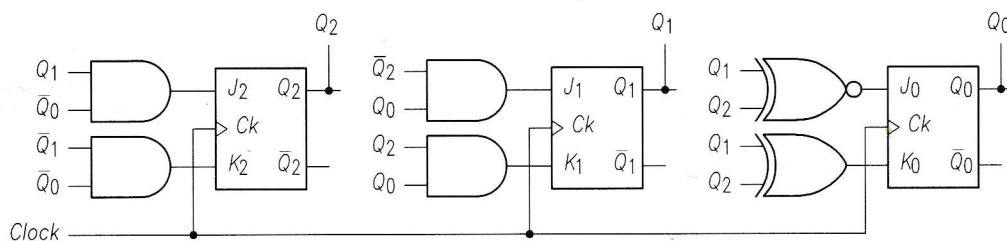


Fig. 7.63

e)

- 3) Come richiesto si realizza il contatore con flip-flop JK.
- 4) Si compila la tabella di flusso (fig. 7.63b), tenendo presente la tabella delle transizioni del flip-flop JK (fig. 7.63c).
- 5) Si progetta la rete combinatoria di eccitazione utilizzando la 1ª e la 3ª colonna della tabella; dalle sei mappe di Karnaugh (fig. 7.63d), si ricavano le espressioni delle sei variabili d'uscita della rete combinatoria:

$$J_2 = Q_1 \bar{Q}_0; \quad K_2 = \bar{Q}_1 \bar{Q}_0; \quad J_1 = \bar{Q}_2 Q_0; \quad K_1 = Q_2 Q_0;$$

$$J_0 = Q_1 Q_2 + Q_1 \bar{Q}_2 = Q_1 \oplus Q_2; \quad K_0 = Q_1 \bar{Q}_2 + \bar{Q}_1 Q_2 = Q_1 \oplus Q_2.$$

- 6) Si disegna il circuito (fig. 7.63e).

Si osservi che  $K_0 = \bar{J}_0$  e quindi è sufficiente negare l'uscita dell'EXNOR, per ottenere  $K_0$ ; per fare ciò si può utilizzare un'altra porta EXNOR contenuta nello stesso integrato, collegata opportunamente come invertitore. In questo modo si evita l'impiego di un integrato di EXOR.

Si veda l'esercitazione di laboratorio n° 26, ob. 2.

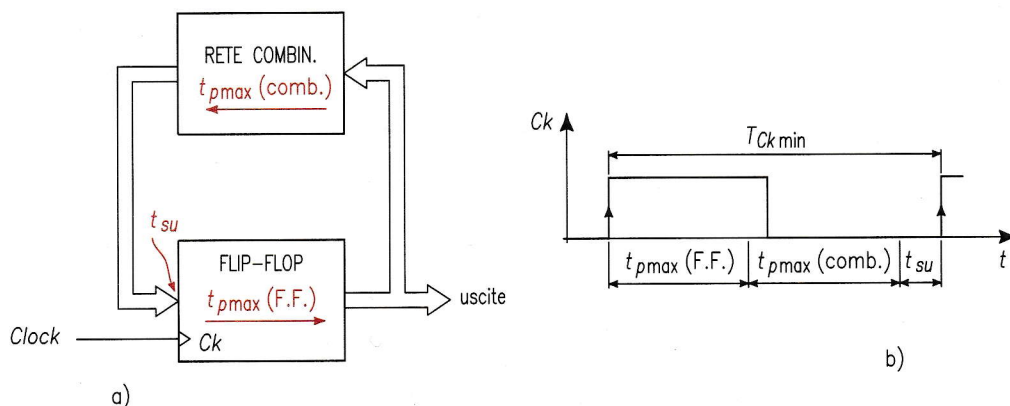
### 7.7.3 Frequenza massima d'ingresso

Dallo schema a blocchi di un contatore sincrono (fig. 7.64a) si può dedurre che la massima frequenza applicabile all'ingresso di clock dipende dal massimo tempo di propagazione dei flip-flop impiegati ( $t_{pmax}(FF)$ ), dal massimo tempo di propagazione della rete combinatoria ( $t_{pmax}(comb)$ ) e dal tempo di setup dei flip-flop ( $t_{su}$ ).

Il minimo valore del periodo di clock ( $T_{CKmin}$ ) deve essere pari alla somma dei tre tempi citati, e cioè:

$$T_{CKmin} = t_{pmax}(FF) + t_{pmax}(comb) + t_{su}$$

infatti dopo un intervallo di tempo  $t_{pmax}(FF)$ , successivo al fronte attivo di clock, le uscite dei flip-flop si stabilizzano, e dopo  $t_{pmax}(comb)$  sono stabili anche le uscite della rete combinatoria. È ora necessario che il fronte di clock attenda ancora un tempo  $t_{su}$  perché i dati all'ingresso dei flip-flop vengano acquisiti correttamente (fig. 7.64b).

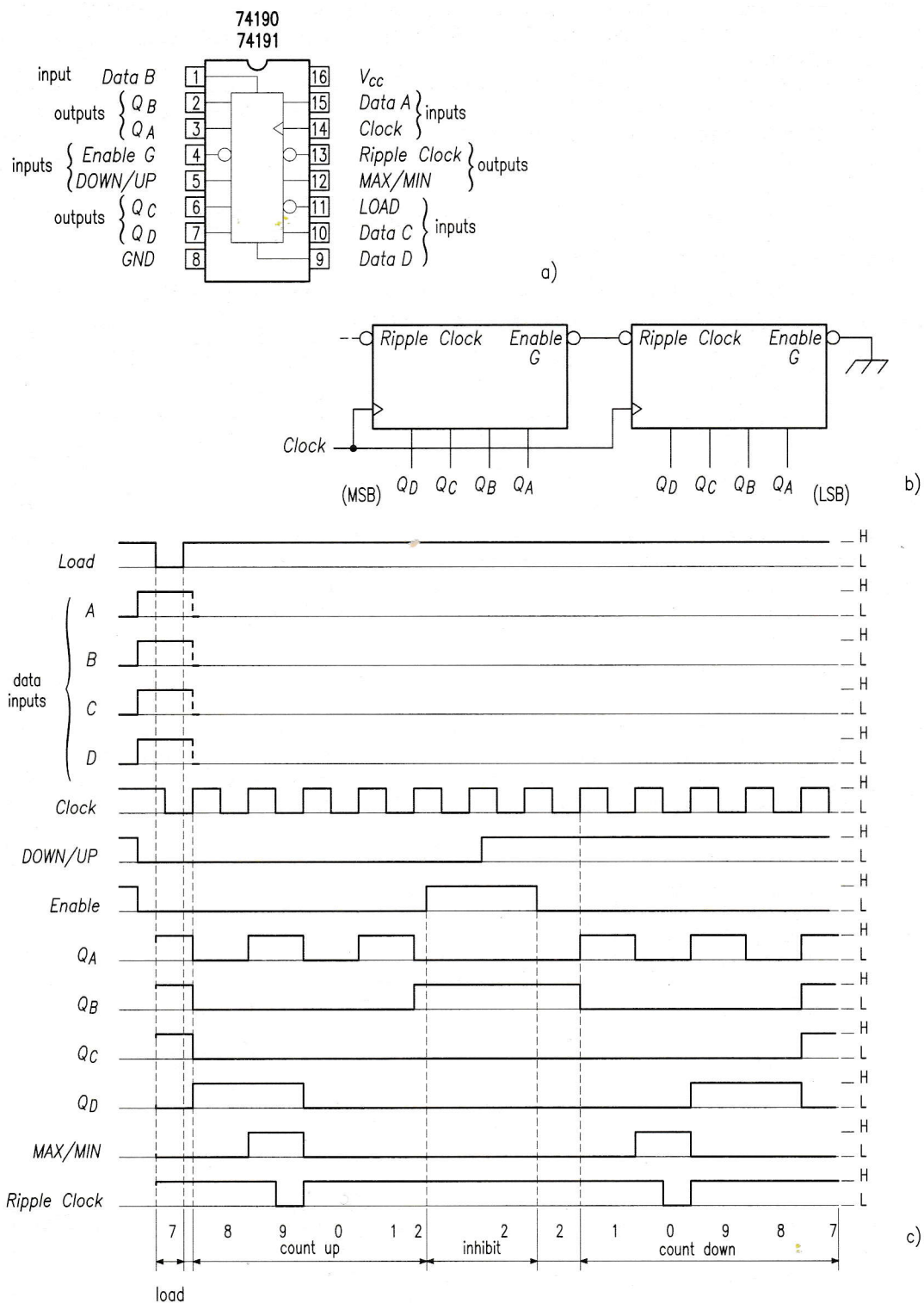


I tempi di ritardo di un contatore sincrono in relazione al minimo periodo di clock applicabile. **Fig. 7.64**

### 7.7.4 I contatori sincroni integrati

Alcuni tra i contatori sincroni più utilizzati sono i TTL 74190 e 74191 con identico pin-out (fig. 7.65a), ma con modulo di conteggio che vale 10 per il primo e 16 per il secondo.





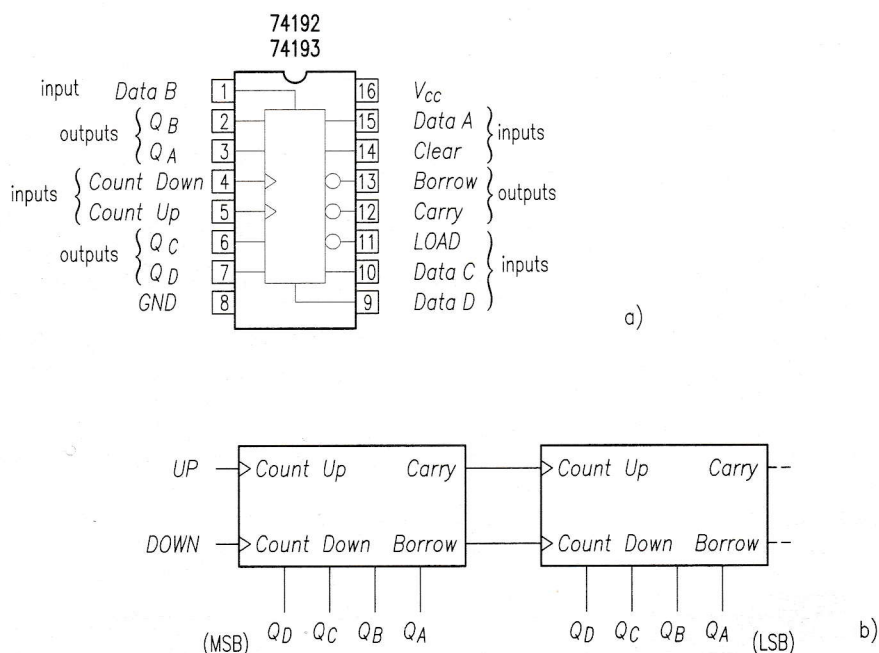
**Fig. 7.65** Contatori sincroni integrati 74190 e 74191: a) pin-out; b) collegamento in cascata per l'espansione del modulo; c) diagrammi temporali.

Questi circuiti possono contare up o down a seconda dello stato del pin *DOWN/UP*; è inoltre presente un pin di abilitazione (*ENABLE G*), che inibisce il clock, se posto a livello ALTO. È possibile caricare in maniera asincrona i dati presenti sugli ingressi *DATA A÷D*, portando a livello basso il pin *LOAD*. L'uscita *RIPPLE CLOCK* è utilizzata nel collegamento in cascata dei contatori, per espandere il modulo di conteggio, come illustrato nella fig. 7.65b; sull'uscita è presente, al termine di ogni ciclo, un impulso a livello BASSO che abilita il contatore più significativo a ricevere il segnale di clock e quindi ad incrementare il valore sulle uscite  $Q_A ÷ Q_D$ .

Si noti che la struttura complessiva del contatore rimane sincrona, grazie al collegamento in parallelo di tutti gli ingressi di clock, che garantisce la commutazione simultanea delle uscite dei vari integrati.

Nella fig. 7.65c è rappresentato l'andamento temporale di una tipica sequenza di caricamento, conteggio up e down e di inibizione del contatore.

Altri due contatori sincroni dalle prestazioni simili a quelli appena descritti sono il 74192 (decadico) ed il 74193 (binario modulo 16) (fig. 7.66a). A differenza dei precedenti, questi contatori possiedono due ingressi di clock, di cui *COUNT DOWN* è utilizzato per decrementare il conteggio mentre *COUNT UP* serve ad incrementarlo. Per *espandere il modulo di conteggio* è possibile collegare in cascata più contatori connettendo le uscite *CARRY* (riporto) e *BORROW* (prestito) agli ingressi *COUNT UP* e *COUNT DOWN* dell'integrato successivo, come indicato nella fig. 7.66b. Si noti che la propagazione del clock agli stadi successivi rende asincrona la struttura complessiva del contatore. È presente inoltre il pin *CLR* per il reset asincrono delle uscite.



Contatori sincroni integrati 74192 e 74193: a) pin-out; b) collegamento in cascata per l'espansione del modulo.

Fig. 7.66



### ESEMPIO 7.21

Determinare l'andamento temporale delle uscite di un contatore 74190 in seguito all'applicazione dei segnali d'ingresso rappresentati nella fig. 7.67. Si tenga presente che sugli ingressi dati (*DATA INPUTS*) sono impostati i seguenti valori:  $A = 0$ ,  $B = 0$ ,  $C = 0$ ,  $D = 1$ .

*Soluzione*

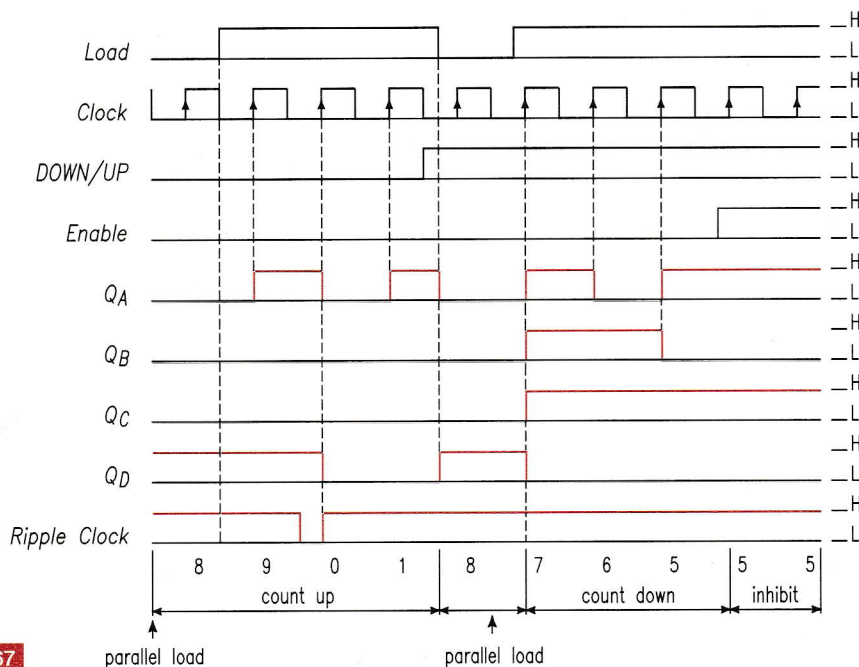


Fig. 7.67

Dopo il caricamento parallelo iniziale ( $Load = 0$ ) dei dati impostati in ingresso, il conteggio è crescente ( $DOWN/UP = 0$ ).

Segue poi un nuovo caricamento parallelo in cui si nota l'effetto istantaneo, sulle uscite, del comando asincrono  $LOAD$ .

Una volta riportato  $LOAD = 1$ , in corrispondenza del primo fronte attivo di clock si ha  $DOWN/UP = 1$  e quindi il conteggio prosegue decrescente finché non viene inibito dal comando  $ENABLE = 1$ .

Sul pin  $RIPPLE CLOCK$  si nota un fronte di salita in corrispondenza del passaggio dalla stato 9 allo stato 0, il che garantisce l'incremento di un eventuale contatore collegato in cascata.

Si veda l'esercitazione di laboratorio n° 26, ob. 3.

### ESEMPIO 7.22

Si dispone di cinque segnali ad onda quadra, con livelli TTL, aventi frequenze corrispondenti alle prime cinque note della scala di DO maggiore:  $f_{DO} = 523$  Hz,  $f_{RE} = 587$  Hz,  $f_{MI} = 659$  Hz,  $f_{FA} = 698$  Hz,  $f_{SOL} = 784$  Hz.

Si vuole realizzare un circuito che invii ciclicamente, ad un impianto di amplificazione sonora, la sequenza di note che costituisce l'inizio del famoso brano "Fra Martino campanaro":

DO, RE, MI, DO, DO, RE, MI, DO, MI, FA, SOL, SOL, MI, FA, SOL, SOL.

Il passaggio da una nota all'altra deve avvenire in corrispondenza dei fronti di salita di un segnale di clock, che funge da metronomo.

### Soluzione

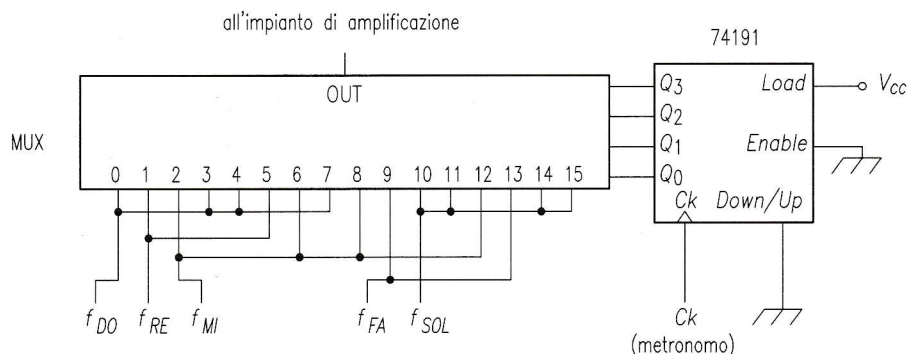


Fig. 7.68

Poiché il ciclo è composto da 16 note, si utilizza un contatore binario a 16 stati, come ad esempio il 74191 impostato per il conteggio UP.

Si collegano i cinque segnali ai 16 ingressi di un multiplexer, rispettando la sequenza del brano desiderato.

Si collegano le uscite del contatore agli ingressi di selezione del multiplexer; in questo modo mentre il contatore viene incrementato dal segnale di clock (metronomo), sull'uscita del multiplexer si presenta la sequenza di note del brano.

Ad esempio, dal momento che la nota DO compare negli stati 0, 3, 4 e 7, i corrispondenti ingressi dati del multiplexer devono essere collegati al segnale di frequenza  $f_{DO}$ . Lo stesso vale per le altre note.

Si veda l'esercitazione di laboratorio n° 26 ob. 4.

### ESEMPIO 7.23

Si vuole verificare la presenza di tutte le pecore di un gregge all'interno di un recinto, segnalando l'eventuale assenza di qualche animale mediante un LED.

Il recinto è dotato di due varchi di cui uno (A) consente solo l'ingresso e l'altro (B) solo l'uscita; un sensore in corrispondenza di ogni varco rivela il passaggio di un animale, generando un impulso con livelli TTL.

È necessario segnalare inizialmente, attraverso la pressione di un pulsante (R), che il gregge, inferiore comunque alle 99 unità, è presente al completo all'interno del recinto.

Si progetti un circuito che, ricevendo i segnali dai sensori A e B e dal pulsante R, provochi l'accensione del LED se ci sono animali all'esterno del recinto.



### Soluzione

L'utilizzo del contatore integrato 74192 semplifica il progetto poiché è dotato di due ingressi di clock separati che possono essere collegati l'uno al sensore *B* del cancello di uscita, per il conteggio DOWN, e l'altro al sensore *A* del cancello d'ingresso, per il conteggio UP.

Si collegano quindi in cascata, come indicato in fig. 7.69, i due integrati necessari per contare fino a 99.

Quando si è certi che tutte le pecore si trovano nel recinto, si resetta il contatore tramite il pulsante *R*, collegato agli ingressi *CLEAR* degli integrati; in seguito, l'uscita di un animale dal recinto decrementa il conteggio, mentre ogni ingresso lo incrementa.

In presenza di tutte le pecore all'interno del recinto le otto uscite dei due contatori assumono valore 0; solo in questo caso il LED risulta spento.

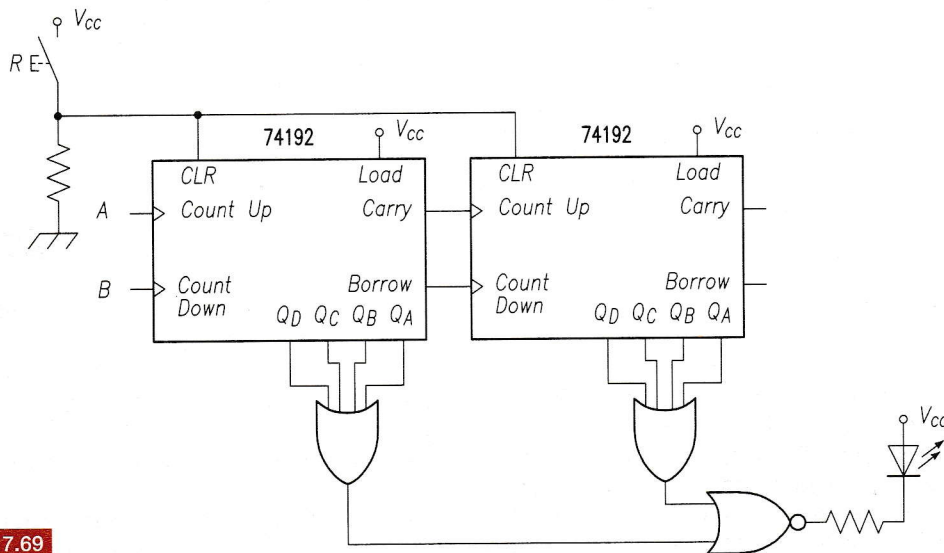


Fig. 7.69

### Riduzione del modulo di conteggio sincrono

Si può effettuare la riduzione del modulo di conteggio di un contatore sincrono nei due modi seguenti:

- 1) si tronca la sequenza all'ultimo stato desiderato, decodificando le uscite e caricando, tramite il pin *LOAD*, la combinazione 0000; la medesima operazione può essere svolta comandando il pin *CLR*, nei contatori provvisti di questa funzione.
- 2) Si comanda con il pin *RIPPLE CLOCK* l'ingresso *LOAD* per caricare, alla fine del ciclo, una combinazione di valori opportuna, diversa da 0000; in questo modo viene evitata la prima parte del ciclo. Negli integrati 74192 e 74193 questa operazione viene svolta inserendo gli impulsi da contare nell'ingresso *COUNT UP* e collegando l'uscita *CARRY* al pin *LOAD*. Questa tecnica è utilizzata soprattutto nei divisori di frequenza, dove ciò che importa non è la sequenza di conteggio ma il numero degli stati del ciclo; si veda a proposito l'esempio 7.24.

Qualunque sia la tecnica utilizzata per la riduzione del modulo di conteggio è necessario porre molta attenzione al tipo di sincronismo dei pin *LOAD* e *CLR* dell'integrato scelto.

Nel caso di funzionamento asincrono di questi ingressi, l'operazione di caricamento viene eseguita istantaneamente, mentre nel caso sincrono si deve aspettare il fronte del clock e quindi, a parità di circuito, il ciclo è costituito da uno stato in più.

## ESEMPIO 7.24

Disponendo di un segnale con frequenza  $F = 10$  Hz, si vuole realizzare un circuito in grado di generare due segnali che presentano un impulso al secondo ed uno ogni minuto.

### Soluzione

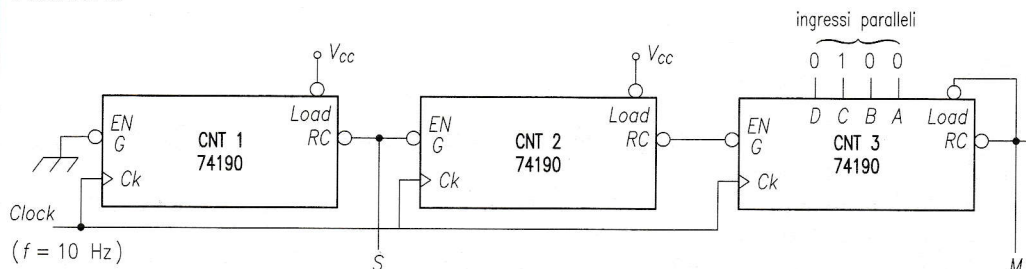


Fig. 7.70

Per ottenere un impulso al secondo, cioè una frequenza di 1 Hz, è necessario dividere la frequenza del segnale d'ingresso per 10, utilizzando un contatore decadico (CNT1).

Serve poi un divisore per 60, che si ottiene ponendo in cascata un divisore per 10 (CNT2) ed uno per 6 (CNT3); si ricava così un periodo al minuto.

Analizzando il circuito di fig. 7.70, realizzato con tre contatori decadici 74190 collegati in cascata, si nota che la divisione per 6 viene ottenuta caricando la combinazione 0100 nel CNT3, in corrispondenza dell'impulso a livello BASSO sul pin *RIPPLE CLOCK*.

Poiché l'impulso che provoca il caricamento asincrono del contatore compare a metà del nono stato, come si può vedere nel diagramma temporale di fig. 7.67, quest'ultimo stato rimane solo per mezzo periodo di clock; al contrario la combinazione d'uscita 0100 permane per un periodo e mezzo di clock. Il contatore CNT3 divide quindi per 6, con un ciclo costituito dagli stati 4, 5, 6, 7, 8, 9.

L'uscita S del circuito presenta un impulso al secondo, mentre sull'uscita M si ha un impulso al minuto.

## 7.7.5 Circuito di autoreset

È spesso necessario assicurare un determinato stato iniziale del contatore, direttamente all'accensione dell'alimentazione del circuito, senza dover ricorrere ad un reset manuale.

Per svolgere questa funzione si può utilizzare il circuito di *autoreset* rappresentato nella fig. 7.71, che ha il seguente funzionamento:

- all'accensione del circuito la tensione sull'ingresso di reset ( $\overline{CLR}$ ) del contatore, coincidente con quella ai capi del condensatore inizialmente scarico, è costretta ad aumentare lentamente a causa del transitorio RC; in questa fase il diodo è polarizzato inversamente e si comporta quindi da circuito aperto.



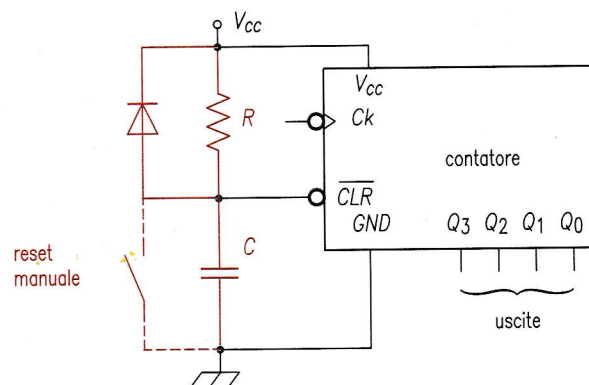


Fig. 7.71 Circuito di autoreset.

- Di conseguenza il contatore, appena alimentato, interpreta a livello BASSO l'ingresso  $\overline{CLR}$ , resettando le uscite.
- Esaurito il transitorio RC, l'ingresso  $\overline{CLR}$  si trova a livello ALTO e quindi gli impulsi di clock fanno avanzare il conteggio.
- In caso di mancanza di alimentazione, per cui risulta  $V_{CC} = 0$ , il diodo viene a trovarsi in parallelo al condensatore e polarizzato direttamente dalla tensione presente sulla capacità; di conseguenza il condensatore si scarica rapidamente sulla bassa resistenza offerta dal diodo.
- Volendo provvedere il circuito di un reset manuale, è sufficiente porre in parallelo al condensatore un interruttore normalmente aperto che possa, alla chiusura, scaricare rapidamente la capacità.

Naturalmente si deve dimensionare la costante di tempo in maniera che il livello BASSO su  $\overline{CLR}$  rimanga per un tempo sufficiente ad essere rilevato dal contatore.

### 7.7.6 I contatori ad anello

La struttura di un **contatore ad anello**, identica a quella di un registro a scorrimento, è costituita da  $n$  flip-flop D collegati in cascata e tutti sincronizzati dal medesimo segnale di clock; l'uscita  $Q$  dell'ultimo flip-flop è però collegata all'ingresso  $D$  del primo (fig. 7.72a). In questo modo si forma un anello in cui la configurazione dei bit precedentemente caricata sui flip-flop, circola avanzando di una posizione ad ogni impulso di clock.

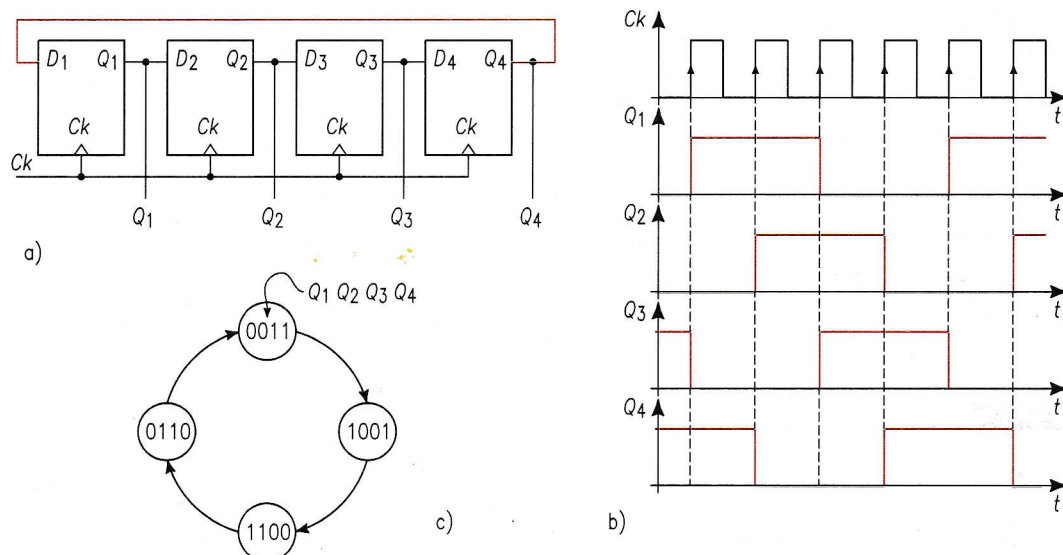
È possibile quindi realizzare un contatore ad anello utilizzando un registro a scorrimento integrato che riporti all'esterno le uscite di tutti i flip-flop; l'uscita dell'ultimo bistabile è collegata con l'ingresso del primo. Il caricamento parallelo della configurazione iniziale si effettua sfruttando gli opportuni ingressi dati e fornendo il comando di *load*.

Nelle fig. 7.72b e 7.72c sono rappresentati il diagramma temporale ed il diagramma degli stati di un contatore ad anello a quattro celle, in cui è presente inizialmente sulle uscite la configurazione di bit  $Q_1 = Q_2 = 0$ ,  $Q_3 = Q_4 = 1$ .

Il modulo di un contatore ad anello è pari al numero  $n$  dei flip-flop impiegati, infatti la stessa configurazione in uscita si ripresenta dopo  $n$  impulsi di clock.

Il contatore ad anello usa quindi più flip-flop di quanti ne sarebbero strettamente necessari per codificare un certo numero di stati, ma viene preferito per la semplicità della sua struttura, nei casi in cui le uscite debbano assumere un andamento ciclico del tipo di quello in fig. 7.72c.

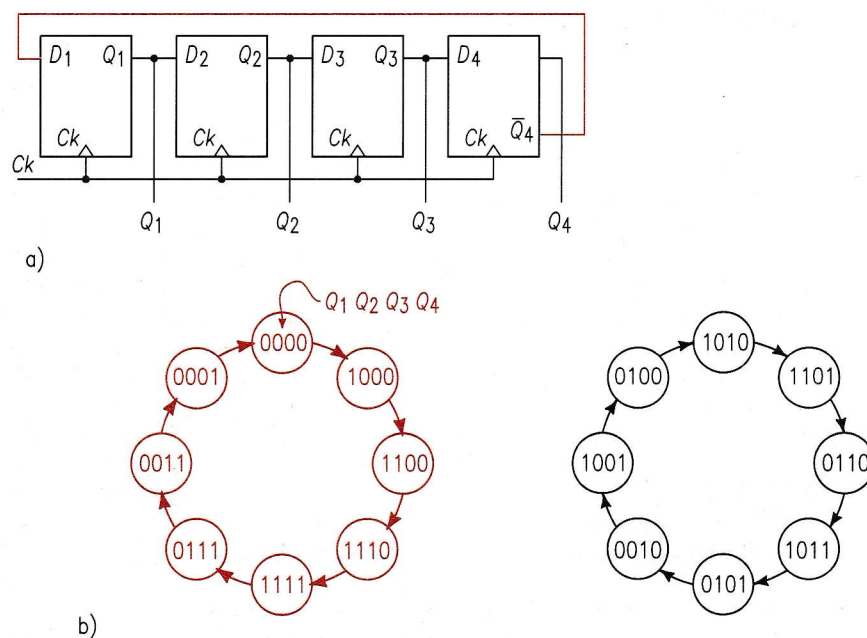
Si noti che il diagramma degli stati rappresentato nella fig. 7.72c è solo una parte di quello complessivo della rete, costituito da 16 stati, e che si può ricavare facendo circolare anche le configurazioni 0000, 0001, 1010, 1110, 1111.



Contatore ad anello modulo 4: a) struttura; b) diagrammi temporali; c) diagramma degli stati. **Fig. 7.72**

Questo contatore è impiegato per il controllo di motori passo-passo, che richiedono l'applicazione ciclica di una configurazione di tensioni agli avvolgimenti del motore.

Il **contatore ad anello Johnson** (*Johnson counter* o *twisted ring counter*) rappresenta una variante rispetto a quello appena descritto. Come si vede nella fig. 7.73a l'ingresso  $D$  del primo flip-flop è collegata all'uscita  $\bar{Q}$  dell'ultimo flip-flop. Ciò produce, a partire dallo stato di RESET del contatore, l'andamento delle uscite illustrato nel ciclo del diagramma degli stati rappresentato in colore nella



Contatore ad anello Johnson modulo 8. **Fig. 7.73**



Si noti quindi che un contatore Johnson realizzato con  $n$  flip-flop possiede un numero di stati pari a  $2n$ .

Se all'accensione o in seguito ad un errore causato da un rumore elettrico, il circuito dovesse trovarsi in uno stato compreso nel ciclo rappresentato in nero, sarebbe necessario compiere un RESET per rientrare nel ciclo principale.

### ESEMPIO 7.25

Supponendo lo stato iniziale del contatore ad anello in fig. 7.74a corrispondente a  $Q_1 \div Q_5 = 10100$ , determinare la sequenza degli stati nei successivi 7 periodi di clock.

*Soluzione*

La sequenza degli stati è rappresentata nella tabella di fig. 7.74b.

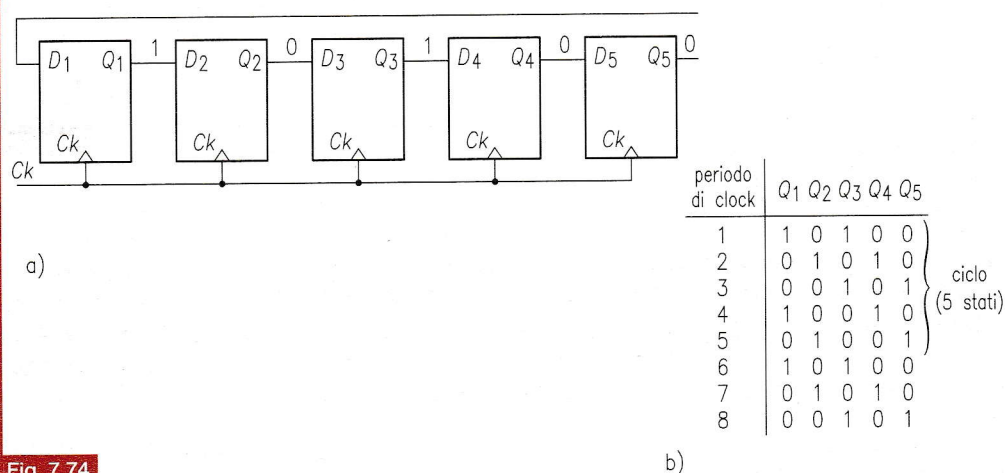


Fig. 7.74

## 7.8 Reti sequenziali sincrone con ingressi

I contatori analizzati e progettati nei precedenti paragrafi sono reti sequenziali particolarmente semplici, in quanto non presentano variabili d'ingresso, ma si limitano a percorrere un ciclo prefissato secondo la temporizzazione scandita dal segnale di clock. Di conseguenza, lo stato raggiunto dal contatore in un dato istante, dipende solo dallo stato in cui il circuito si trovava nell'istante precedente.

Spesso è invece necessario poter influenzare l'evoluzione degli stati inviando segnali in ingresso alla rete, come ad esempio in un contatore dotato di un ingresso UP/DOWN, che determina il verso del conteggio, oppure in una rete di controllo per un semaforo che, durante il ciclo normale, tenga anche conto della pressione di un pulsante per forzare il verde in una direzione.

Le reti sequenziali sincrone con ingressi possono essere di due tipi:

- Def.** 1) **rete di Moore:** rete sequenziale sincrona in cui le variabili d'uscita, in un dato istante, dipendono solo da quelle di stato e non sono direttamente influenzate dai valori presenti in ingresso nello stesso istante.