

# **SISTEMI DI ACQUISIZIONE E DISTRIBUZIONE DATI**

---



# Modulo A

## Conversione digitale-analogico e analogico-digitale

- A1 Tecniche digitali
- A2 Acquisizione, digitalizzazione e distribuzione dati
- A3 Conversione digitale-analogico
- A4 Campionamento
- A5 Conversione analogico-digitale
- A6 Applicazioni

### Obiettivi

#### Conoscenze

- Sistemi di acquisizione dati
- Linguaggi di programmazione visuale per l'acquisizione dati
- Interfacciamento dei convertitori analogico-digitali e digitali-analogici
- Elementi fondamentali dei dispositivi di controllo e di interfacciamento

#### Abilità

- Distinguere i sistemi digitali da quelli analogici in base alle proprietà
- Analizzare e sperimentare l'architettura di una catena di acquisizione dati
- Rappresentare ed elaborare i risultati utilizzando anche strumenti informatici
- Programmare sistemi di acquisizione ed elaborazione dati
- Sviluppare programmi applicativi per il monitoraggio e il controllo di semplici sistemi

### Area *digitale*



#### Approfondimenti

- DAC realizzato con rete a scala
- ADC ad anello

#### Applicazioni

- Verifica di un integrato DAC
- Aliasing



#### Video


- Riproduzione inversa di un brano



#### Esercizi



**Soluzioni** Puoi scaricare il file anche da

 [hoepliscuola.it](http://hoepliscuola.it)



## A1

## Tecniche digitali

Area *digitale*

Riproduzione inversa  
di un brano

Digitale è un termine entrato di prepotenza nel moderno frasario: macchina fotografica digitale, telecamera digitale, digitale terrestre... Le tecniche digitali hanno ormai preso il posto di quelle analogiche, arricchendo i campi dell'informatica e dell'elettronica di applicazioni performanti e sofisticate. Il brano musicale, che un tempo era inciso meccanicamente su disco di vinile, ora è un file digitale che può essere scaricato da internet e riprodotto da un computer.



## 1.1 Analogico e digitale

### Grandezze digitali

La parola digitale evoca generalmente un concetto vago e sfumato legato alla tecnologia moderna, all'informazione che risiede su file, oppure che transita nelle reti di computer. Tuttavia, per avere una spiegazione rigorosa e chiara è necessario ricorrere al significato etimologico del termine: **digitale** è un neologismo derivato dal termine **digit**, ovvero **cifra**. Per questo, quando si parla di informazioni digitali, ci si riferisce a dati di qualsiasi natura fisica, codificati come lunghe **sequenze di numeri**.

Esempi di alcune delle innumerevoli grandezze digitali, codificate come sequenze numeriche sono:

- file audio digitali di vario tipo, come MP3, WMA, WAV...;
- fotografie e video digitali in formato BMP, GIF, MPEG...;
- i canali della televisione digitale terrestre;
- i dati presenti in internet.

Dato che tutte le informazioni digitali hanno un'unica matrice comune nel numero, i sistemi digitali:

- sono strutturalmente simili;
- possono essere integrati in un unico sistema;
- sono supportati dal medesimo sistema di comunicazione.

Per esempio i file audio e video, che per la sensibilità umana appartengono a diversi mondi sensoriali, sono gestiti allo stesso modo dal computer, mediante opportuni algoritmi numerici. Perciò è possibile, con opportuni programmi, eseguire un montaggio video, ritoccando quanto si vuole il lavoro, inserire dissolvenze e altri effetti video e sovrapporre fonti audio. Così pure è possibile scattare una fotografia con una fotocamera digitale, applicarvi un fotoritocco e spedirla in rete.

Le grandezze digitali sono un prodotto della tecnologia, mentre le grandezze analogiche sono presenti in natura; in termini specialistici si dice che:

- le grandezze digitali sono espressioni di una **realtà virtuale**;
- le grandezze analogiche sono espressioni della **realtà fisica**.

Da qui deriva una caratteristica essenziale che differenzia digitale e analogico:

- i sistemi analogici sono **continui**, infatti la natura non fa salti e i processi naturali, salvo eccezioni, sono soggetti a inerzie e lentezze;
- i sistemi digitali sono **discontinui** o, con un termine più specialistico, **discreti**, infatti:
  - essendo virtuali non possono riprodurre la varietà infinita della realtà,
  - sono limitati nella codifica dei dati dalle limitazioni numeriche e di memoria,
  - i loro stati sono separati da intervalli finiti, detti **gradini**.

### Termometro digitale e termometro analogico

ESEMPIO 1

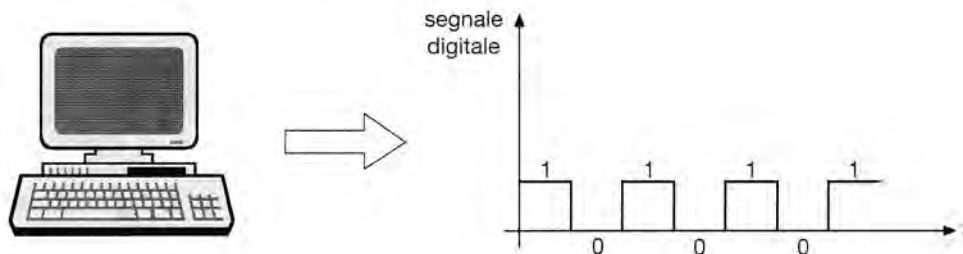
Il classico termometro a colonnina di mercurio è un termometro analogico. In esso la grandezza da misurare è rappresentata in forma continua, ovvero a ogni valore di temperatura corrisponde una diversa altezza della colonnina. Se immaginiamo il caso ideale di assenza di attrito e tensioni superficiali tra il mercurio e l'ampolla di vetro, possiamo affermare che differenti valori di temperatura, anche vicinissimi tra loro, portano l'indicazione in posizioni diverse; questo è appunto il significato di variazione continua.

Nel termometro digitale le grandezze sono invece rappresentate in forma discreta, cioè con un numero finito di livelli. Per esempio, se il termometro è a due cifre, vengono rappresentati solo i valori di temperatura distanziati di un grado, ovvero 36 °C, 37 °C, 38 °C ecc. I valori di temperatura che non coincidono con questi vengono approssimati al livello discreto più prossimo.

termometro  
analogicotermometro  
digitale

La discontinuità presente a livello macroscopico nei sistemi digitali caratterizza anche a livello peculiare i segnali digitali.

Se potessimo visualizzare i segnali circuitali di un sistema digitale come il computer, osserveremmo delle interminabili sequenze di **1** e **0**, cioè delle onde impulsive a due livelli.



Tutto questo perché:

- le grandezze digitali sono codificate mediante numeri;
- i numeri sono codificati in **codice binario**;
- il codice binario utilizza solo i **due livelli 0 e 1**.

Pertanto:

- i segnali digitali possono assumere un numero finito di livelli;
- i segnali analogici possono assumere infiniti livelli all'interno del campo di variabilità della grandezza.

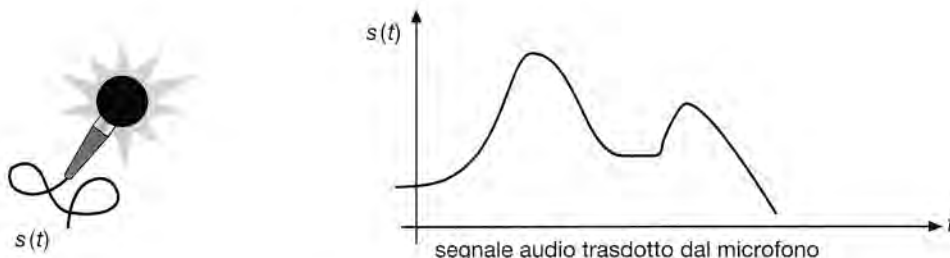


## ESEMPIO 2

## Sistema analogico microfono

Il funzionamento del microfono è basato sulle oscillazioni continue che il suono provoca su una membrana, le quali vengono convertite in tensione analogica.

Come chiarito dalla figura, poiché il suono può assumere infiniti gradi di intensità, anche la corrispondente forma d'onda elettrica è soggetta a infinite variazioni.



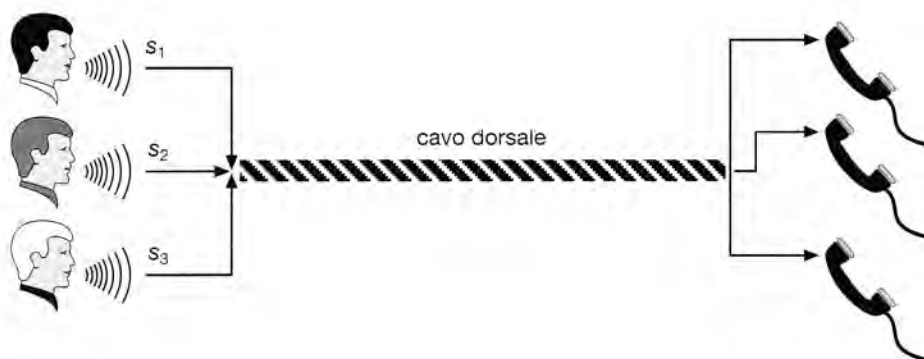
## 1.2 Vantaggi delle tecniche digitali

La codifica in **formato numerico** delle informazioni è il denominatore comune di tutte le applicazioni digitali. Il formato numerico apre infinite prospettive, legate alla possibilità di manipolazione dei numeri, offerte dagli **algoritmi matematici** implementati con sistemi informatici. Di seguito sono riportati esempi di tecniche digitali, che mostrano l'importanza e l'invasività delle tecnologie digitali.

**Multiplazione di conversazioni**

**Multiplare** significa disporre più informazioni sul medesimo mezzo.

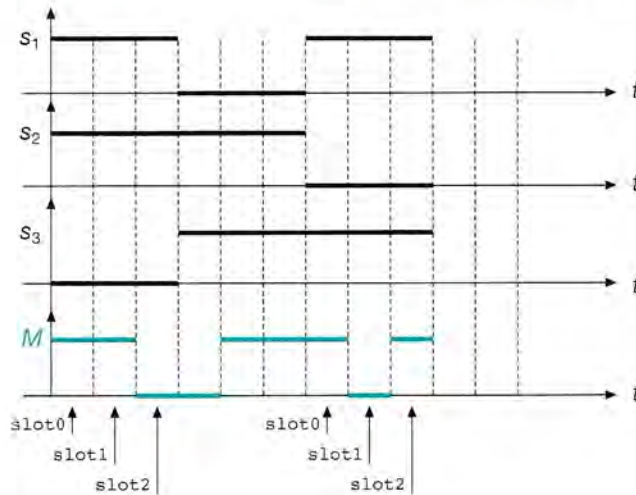
In campo telefonico la multiplazione permette di **veicolare** più conversazioni su un singolo cavo dorsale, senza che si verifichino **sovrapposizioni** tra le diverse comunicazioni.



Come descritto dai grafici, i segnali digitali vocali  $s_1$ ,  $s_2$ ,  $s_3$  dei tre parlatori vengono miscelati entro un singolo segnale digitale  $M$ , assegnando a ogni conversazione una **ripartizione temporale privilegiata** detta **time-slot** (fascia temporale).

In ricezione è possibile recuperare le singole conversazioni tramite un algoritmo di separazione il quale:

- estrae i livelli logici dei diversi slot temporali;
- li riassegna alle tre diverse fonti.



Ogni dato in forma digitale è una sequenza di numeri e di conseguenza può essere agevolmente:

- visualizzato in varie forme grafiche, anche tridimensionali;
- analizzato matematicamente, per l'estrazione di parametri caratteristici;
- processato da opportuni algoritmi **DSP (Digital Signal Processing = Trattamento Digitale dei Segnali)**.

**Elaborazione numerica**

Un esempio è l'analisi del battito cardiaco mediante elettrocardiogramma digitale che offre:

- una diagnosi con programma interpretativo validabile dal medico;
- archiviazione e gestione anagrafica del paziente;
- confronto di esami con possibilità di zoom.

Un ulteriore esempio, meno impegnativo, è quello dell'**imaging**, cioè del trattamento di immagini digitali. Codificando una immagine in uno degli innumerevoli formati di file è possibile applicare a essa innumerevoli effetti. Una fotografia scattata con una macchina fotografica digitale può essere aperta in un programma di fotoritocco e ritoccata in dimensione, luminosità, gradazioni ed effetti di colore: possono anche essere inseriti dei tasselli nuovi o cancellate parti indesiderate.

### Codifica numerica di una immagine

**ESEMPIO 3**

La superficie di una immagine digitale è divisa in un insieme discreto di punti detti pixels. Per comprendere come una immagine si possa rappresentare in formato numerico consideriamo per semplicità la figura elementare visualizzata a fianco e costituita da una matrice di 8x8 pixel.

Possiamo inventare un sistema digitale che associi al bianco il numero '1' e al nero lo '0'.

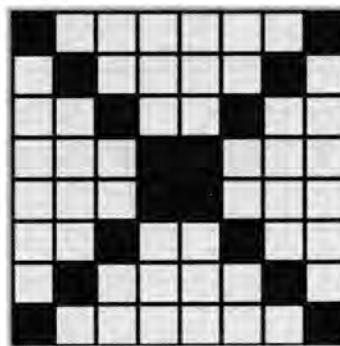
Scandendo la matrice da sinistra a destra una riga dopo l'altra, come nella scansione televisiva, ricaviamo la sequenza di '0' e '1' a fianco.

L'immagine sarà pertanto rappresentata in memoria da una serie di numeri.

Poiché l'informazione nel PC viene memorizzata entro successioni di byte (8 bit), nella memoria del PC l'immagine occuperà 8 byte.

Un semplice algoritmo numerico DSP di manipolazione dell'immagine potrebbe commutare i valori dei bit, da '0' a '1' e da '1' a '0', per ricavare in tempo reale l'immagine in negativo, senza l'ausilio di una camera di sviluppo.

immagine



memoria

0	1	1	1	1	1	1	0
1	0	1	1	1	1	0	1
1	1	0	1	1	0	1	1
1	1	1	0	0	1	1	1
1	1	1	0	0	1	1	1
1	1	0	1	1	0	1	1
1	0	1	1	1	1	0	1
0	1	1	1	1	1	1	0



### Controllo degli errori di trasmissione

Le tecniche digitali, grazie a particolari algoritmi che sfruttano la **ridondanza** dell'informazione, permettono la **rilevazione** e, in una certa misura, la **correzione** degli **errori** commessi in fase di trasmissione, a causa dei disturbi che si sovrappongono al segnale.

#### ESEMPIO 4

La tecnica più comune utilizzata per riconoscere la presenza di un errore di trasmissione entro un byte utilizza un nono bit detto "di parità".

Il **bit di parità**, accordato al byte in trasmissione, viene impostato in modo che il numero complessivo di bit '1' nei nove bit dell'informazione sia pari.

Ad esempio nel caso 11001110 **1**, data la presenza nel byte di un numero dispari di '1', il bit di parità deve essere impostato a 1, mentre in 10001110 **0** il bit di parità deve essere 0, perché il byte contiene 4 bit impostati a '1'.

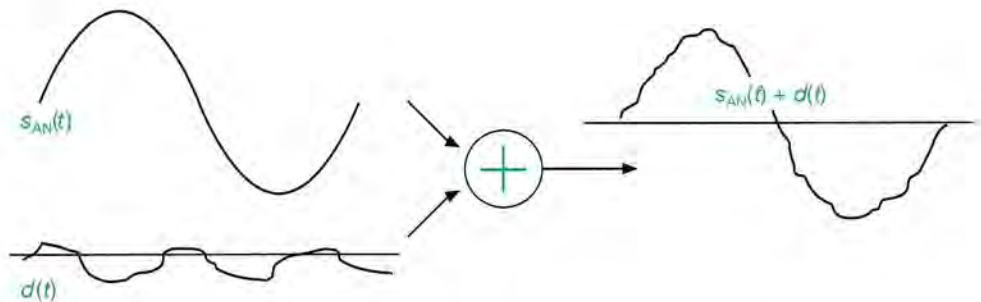
In ricezione un opportuno dispositivo controlla che il dato contenga un numero pari di bit, altrimenti richiede la ritrasmissione.

Questo sistema non è in grado di intercettare un errore presente su due bit. Tuttavia, aumentando il numero di **bit ridondanti**, è possibile intercettare errori contemporanei e addirittura individuare in quale posizione si sono verificati, per autocorreggere senza richiesta di ritrasmissione.

### Rigenerazione del segnale e immunità al rumore

Un dispositivo digitale è spesso dotato di una maggiore **immunità al rumore** rispetto al suo corrispondente analogico. La semplicità di codifica, legata al numero ridotto di livelli di tensione, rende infatti riconoscibili e individuabili le componenti indesiderate del disturbo.

Si consideri il caso in figura, dove si ipotizza che al segnale analogico  $s_{AN}(t)$  si sovrapponga un disturbo  $d(t)$ . La forma d'onda del segnale complessivo  $s_{AN}(t) + d(t)$  è irrimediabilmente **alterata**, i due segnali si sono mescolati e si è persa la traccia del segnale originale.



Il segnale digitale a due livelli permette invece un recupero dell'informazione originaria. Infatti il rumore, pur distorcendo il segnale utile, non lo snatura del tutto. Con un dispositivo **discriminatore di livello** è possibile depurare il segnale dal disturbo, confrontandolo con una soglia inferiore INF e una superiore SUP:

- se  $s_{AN}(t) + d(t) > SUP \rightarrow s_{DIG}(t) = \text{livello alto}$
- se  $s_{AN}(t) + d(t) < INF \rightarrow s_{DIG}(t) = \text{livello basso}$



# Tecniche digitali

Digitale

## Definizione

**Digitale** è un neologismo derivato dal termine **digit**, ovvero **cifra**. Per questo, quando si parla di informazioni digitali, ci si riferisce a dati di qualsiasi natura fisica, codificati come lunghe **sequenze di numeri**.

## Tecniche digitali e analogiche

Le grandezze digitali sono un prodotto della tecnologia, mentre le grandezze analogiche sono presenti in natura; in termini specialistici si dice che:

- le grandezze digitali sono espressioni di una **realtà virtuale**;
- le grandezze analogiche sono espressioni della **realtà fisica**.

## Sistemi continui e discreti

I sistemi analogici sono **continui**, infatti la natura non fa salti e i processi naturali, salvo eccezioni, sono soggetti a inerzie e lentezze.

I sistemi digitali sono **discontinui** o, con un termine più specialistico, **discreti**, non potendo riprodurre la varietà infinita della realtà in ragione dei limiti di codifica numerica e di memoria.

## Segnali continui e discreti

Le grandezze digitali sono codificate mediante numeri, i numeri sono codificati in codice binario, il codice binario utilizza solo **due livelli 0 e 1**.

Pertanto i segnali digitali possono assumere un numero finito di livelli.

I segnali analogici possono viceversa assumere infiniti livelli all'interno del campo di variabilità della grandezza.

## Vantaggi delle tecniche digitali

### Multiplazione

**Multiplare** significa veicolare più informazioni sul medesimo mezzo.

### Elaborazione numerica

Possibilità di **analizzare** o **processare** (Digital Signal Processing) i **dati** mediante opportuni **algoritmi** informatico – numerici.

### Controllo degli errori di trasmissione

Le tecniche digitali, grazie a particolari algoritmi che sfruttano la **ridondanza** dell'informazione, permettono la **rilevazione** e, in una certa misura, la **correzione** degli **errori** commessi in fase di trasmissione.

### Immunità al rumore

La semplicità di codifica, legata al numero ridotto di livelli di tensione, rende facilmente riconoscibili e individuabili le componenti indesiderate del disturbo.



# Test di verifica

✓ Area *digitale*

## Quesiti a scelta multipla

**1** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a I file MP3 sono digitali.
- ☐ b Una informazione digitale non può transitare in internet.
- ☐ c "Informazione digitale" significa "dato digitato tramite tastiera".
- ☐ d "Digitale" significa numerico.

**2** Indicare le frasi corrette. (2 risposte esatte)

Nel linguaggio tecnico il termine "discreto" significa:

- ☐ a a gradini.
- ☐ b continuo.
- ☐ c di medio livello.
- ☐ d rappresentato da un numero finito di livelli.

**3** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a I segnali analogici sono sequenze di bit.
- ☐ b I segnali digitali variano con continuità entro un range di valori.
- ☐ c I segnali digitali sono di tipo impulsivo.
- ☐ d I segnali digitali sono generalmente codificati in binario.

**4** Indicare le frasi corrette. (2 risposte esatte)

La moltiplicazione:

- ☐ a è la moltiplicazione di due bit digitali.
- ☐ b consiste nel veicolare più fonti su un singolo supporto trasmissivo.
- ☐ c è implementata sommando le fonti.
- ☐ d è implementata con una tecnica a divisione di tempo.

**5** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a Un pixel in B/N è codificato mediante un byte.
- ☐ b Una grandezza digitale può essere manipolata da algoritmi DSP.
- ☐ c Una immagine digitale è codificata mediante sequenze di cifre binarie.
- ☐ d Una grandezza digitale non può essere analizzata matematicamente.

**6** Indicare le frasi corrette. (2 risposte esatte)

Sia 00110001 un byte trasmesso con il bit di parità, allora:

- ☐ a se viene ricevuto 00110000 l'errore è rilevabile.
- ☐ b se viene ricevuto 00010000 l'errore è rilevabile.
- ☐ c il bit di parità deve valere 0.
- ☐ d se viene ricevuto 10110001 l'errore è rilevabile.

**7** Indicare le frasi corrette. (2 risposte esatte)

Mediante il discriminatore di livello:

- ☐ a il segnale rigenerato viene deteriorato.
- ☐ b il disturbo viene eliminato sottraendolo matematicamente.
- ☐ c viene operato un confronto tra il segnale e due soglie.
- ☐ d si può discriminare il rumore dal segnale utile.

# Acquisizione, digitalizzazione e distribuzione dati

# A2

In questa unità analizziamo come stabilire un collegamento tra sistemi virtuali e realtà fisica, per monitorare processi fisici, elaborarne i dati e controllarli mediante il computer.

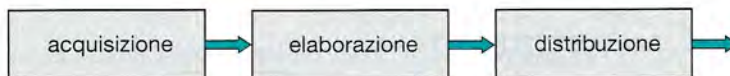


## 2.1 Acquisizione, elaborazione, distribuzione

Per poter applicare le tecniche digitali a processi fisici reali, è necessario mettere in comunicazione gli apparati di elaborazione informatica virtuale con gli elementi fisici costitutivi.

La configurazione minima di un sistema informatico che operi su dati fisici deve prevedere in generale:

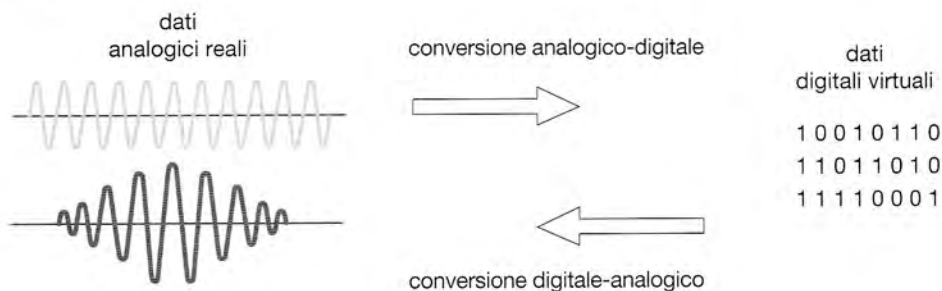
- un segmento di **acquisizione**, che funga da interfaccia tra il mondo reale e l'elaboratore;
- un segmento di **elaborazione** dei dati;
- infine un segmento di **distribuzione** che riconsegna quanto elaborato al mondo fisico.



Si tratta di un sistema misto informatico/elettronico nel quale:

- acquisizione e distribuzione sono implementati da **dispositivi hardware** e **schede elettroniche**;
- l'elaborazione informatica avviene tramite **algoritmi software** affidati a **computer** e **microprocessori**.

Affinché i due mondi, quello analogico della realtà fisica e quello digitale del computer possano interagire è necessario convertire i dati da analogico a digitale o da digitale ad analogico.



**Acquisizione,  
elaborazione,  
distribuzione**

**Digitalizzazione**



L'elaborazione viene infatti eseguita a livello numerico (digitale), mentre acquisizione e distribuzione sono i due strati più a contatto con la realtà ambientale (analogico).

È necessario pertanto interporre gli apparati:

- **Convertitore Analogico-Digitale ADC** (Analog to Digital Converter) nel ramo di acquisizione,
- **Convertitore Digitale-Analogico DAC** (Digital to Analog Converter) nel ramo di distribuzione.



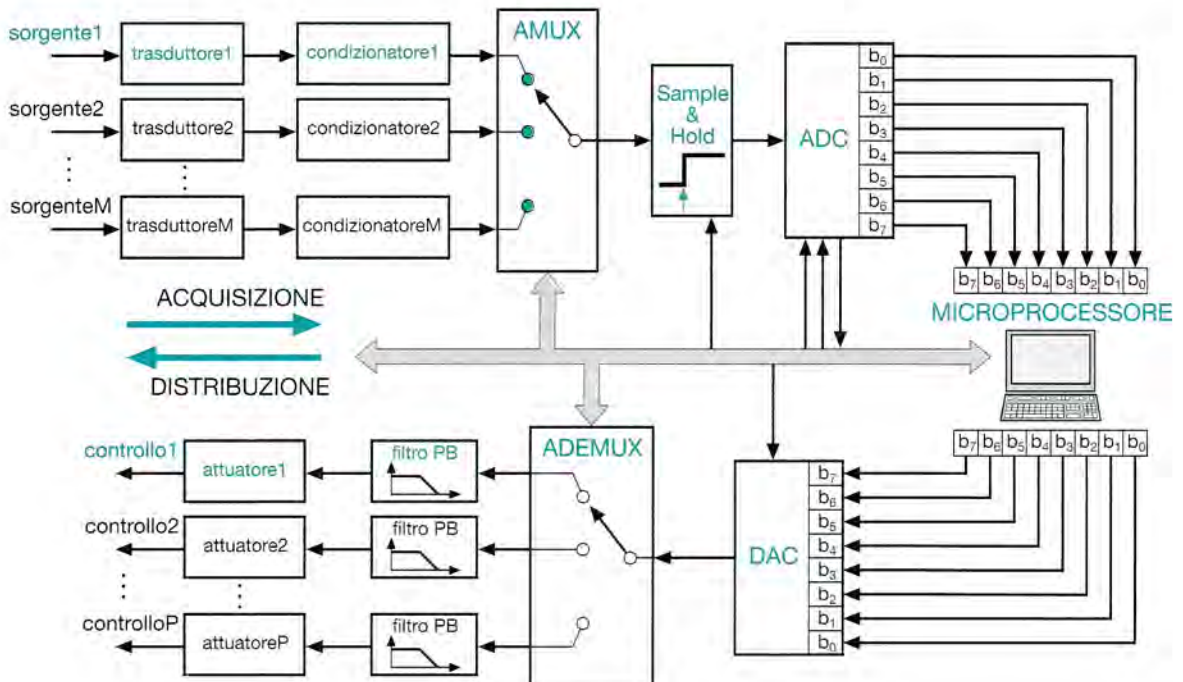
## 2.2 La catena di acquisizione e distribuzione

### Catena di acquisizione e distribuzione

La figura visualizza la cosiddetta **catena di acquisizione e distribuzione dati** dove si distinguono:

- una catena di acquisizione diretta da sinistra a destra, per l'acquisizione dei dati dalle sorgenti fisiche presenti sul campo, la loro conversione in digitale, la memorizzazione e la successiva elaborazione da parte del computer;
- una catena di distribuzione diretta da destra a sinistra, per la sintesi dei dati da parte del computer, l'adattamento e l'invio ad attuatori come motori, relè, valvole, dispositivi riscaldanti, che esercitano un effetto sul campo.

Spieghiamo ora in sintesi il ruolo di ciascun blocco, riservandoci di approfondire nelle successive unità gli importantissimi blocchi ADC, DAC, Trasduttore, Attuatore, Condizionatore e il ruolo del Computer.

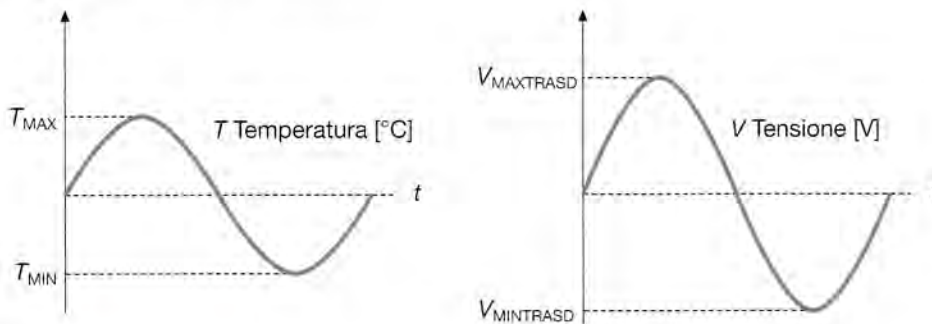


Il trasduttore, elemento a contatto con le sorgenti fisiche, rileva un **dato fisico** di qualsiasi natura (temperatura, rotazione angolare, velocità, pressione...) e lo converte in un valore di **tensione proporzionale**.

### Trasduttore

Per esempio il segnale di temperatura a sinistra è convertito in uno di tensione a destra. Si osservi che:

- le scale cambiano: ovviamente  $T$  è graduato in  $^{\circ}\text{C}$  mentre  $V$  in volt;
- le ampiezze dei segnali sono diverse;
- la forma è inalterata;
- le proporzioni si mantengono.



Il condizionatore condiziona, ovvero manipola, il segnale all'uscita del trasduttore, per renderlo **compatibile** con i blocchi a valle. Infatti:

### Condizionatore

- l'ADC lavora in un range prefissato  $V_{\text{MINADC}} \div V_{\text{MAXADC}}$ , tipicamente  $0 \div 5\text{ V}$  oppure  $0 \div 10\text{ V}$ ;
- la dinamica d'uscita del trasduttore  $V_{\text{MINTRASD}} \div V_{\text{MAXTRASD}}$  varia invece da caso a caso, perché legata alle variazioni delle grandezze fisiche rilevate sul campo.

Per assicurare l'adattamento il condizionatore interviene allora in due modi:

- mediante una **traslazione di livello** per adattare il livello  $V_{\text{MINTRASD}}$  a  $V_{\text{MINADC}}$ ;
- mediante una **amplificazione/attenuazione** per adattare l'intervallo:

$$V_{\text{MAXTRASD}} - V_{\text{MINTRASD}} \text{ a } V_{\text{MAXADC}} - V_{\text{MINADC}}$$

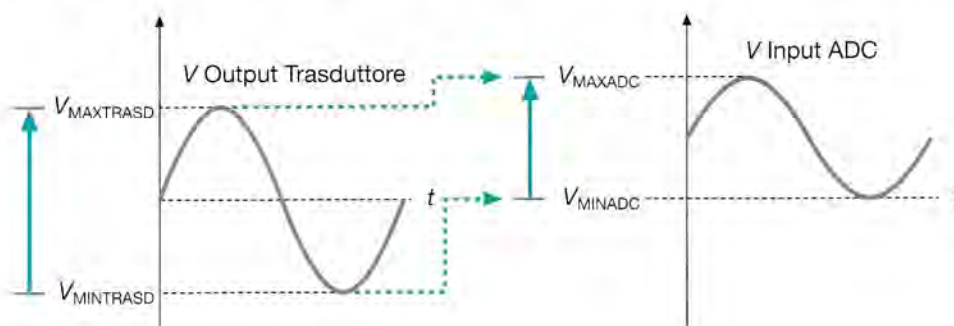
Altri compiti di un condizionatore sono:

- filtrare mediante un filtro PB il rumore sovrapposto al segnale utile del trasduttore;
- se il trasduttore ha uscita in corrente, convertirla in tensione mediante un convertitore  $I/V$ .

Nella figura seguente il segnale all'uscita del trasduttore è adattato per l'ingresso dell'ADC.

Si osservi che:

- $V_{\text{MINTRASD}}$  è stato traslato a 0, in quanto si suppone  $V_{\text{MINADC}} = 0$ ;
- l'intervallo  $|V_{\text{MAXTRASD}} - V_{\text{MINTRASD}}|$  è stato ricondotto a  $|V_{\text{MAXADC}} - V_{\text{MINADC}}|$ .





Il **selettore analogico (Analog MULTiplexer AMUX)** serve a convogliare sull'unica linea di ingresso dell'ADC i segnali provenienti dalle diverse sorgenti, nel caso siano presenti più trasduttori.

Il selettore è dotato di:

- $2^N$  ingressi di segnale;
- $N$  ingressi di selezione.

Questi ultimi sono forniti dal microprocessore o dal computer, che provvede a selezionare gli ingressi con opportuna **temporizzazione**.

Il **distributore analogico** (**Analog DEMultipleXer ADEMUX**) ha una funzione complementare a quella del MUX: esso smista un singolo ingresso su più uscite.

Il distributore è dotato di:

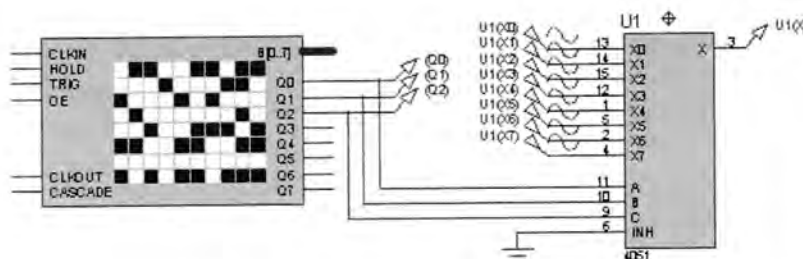
- $N$  ingressi di selezione;
- $2^N$  uscite di segnale.

Ancora una volta è il microprocessore a comandare, attraverso gli ingressi di selezione, la commutazione del distributore, per fare in modo che il DAC possa servire in sequenza i diversi attuatori.

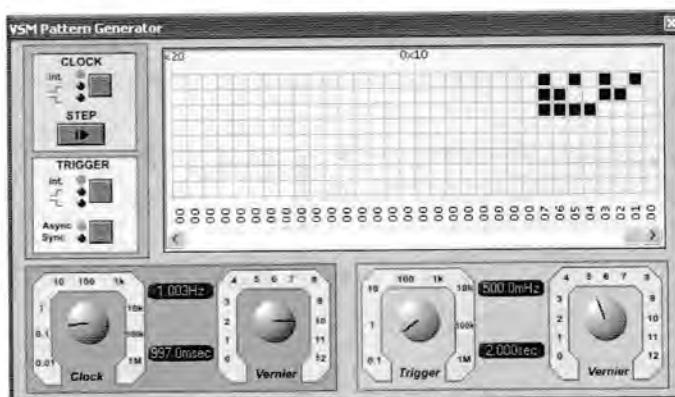
Selettore e distributore possono essere di tipo **digitale**, nel caso i segnali prodotti dai trasduttori o distribuiti agli attuatori siano digitali.

### Selezione sequenziale di otto diverse fonti analogiche

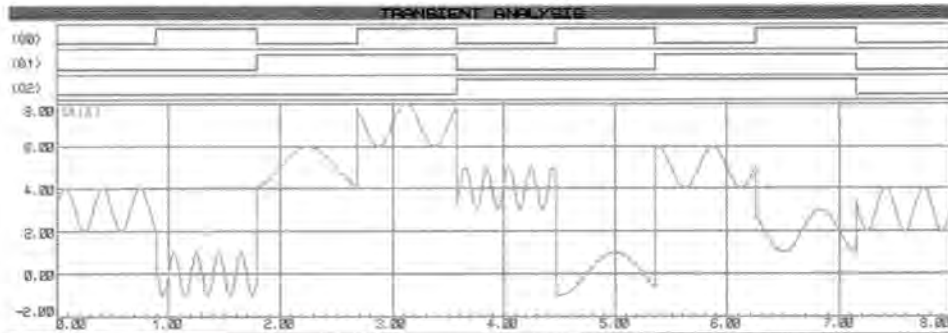
1. Depositare nello schema Proteus un selettore analogico 4051.
2. Selezionare l'icona **Generator Mode** per visualizzare l'elenco **Generators** dei generatori di segnali.
3. Collegare agli ingressi analogici del selettore otto segnali sinusoidali  $U1(X0) \div U1(X7)$  di diversa frequenza e offset.
4. Premere l'icona **Virtual Instruments Mode** e selezionare un **Pattern Generator**.
5. Collegare agli ingressi di selezione  $ABC$  le uscite  $Q_0Q_1Q_2$  del Pattern Generator.



6. Aprire la finestra del Pattern Generator premendo il tasto Pause e selezionando con il tasto destro del mouse VSM Pattern Generator.
7. Impostare il Pattern Generator in questo modo:
  - sequenza combinazioni: 000→001→010→011→100→101→110→111;
  - frequenza di clock 1 Hz.



8. Premere l'icona **Graph Mode** e depositare un grafico di tipo **Mixed**.
9. Con il tasto destro del mouse sul grafico selezionare **Add Traces**.
10. Nella finestra **Add Transient Trace** aggiungere i grafici di tipo **Trace Type: Analog** e **Digital** degli ingressi analogici e di selezione.
11. Modificare in funzione delle frequenze scelte il tempo di simulazione, selezionando con il tasto destro del mouse sul grafico **Edit Graph... → Stop Time:**.
12. Premere barra spaziatrice e osservare nel grafico risultante le otto onde convogliate sull'unica linea  $UI(X)$  in funzione di  $Q_2Q_1Q_0$ .



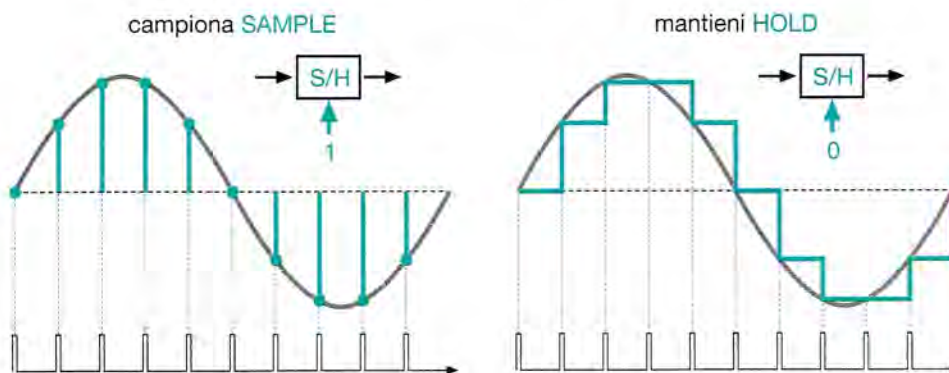
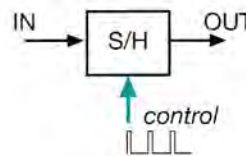
Il dispositivo **Sample & Hold** mantiene costante il segnale analogico diretto all'ADC nel corso del processo di conversione. Senza questa condizione, nel caso di segnali multipli e velocemente variabili, il processo di conversione risulterebbe falsato, dando luogo a risultati inaccurati o completamente errati.

Il processo si sviluppa in due fasi:

- nella fase di **campionamento (Sample)** viene letto un valore del segnale da convertire;
- nella fase di **mantenimento (Hold)** il valore letto viene mantenuto fino al successivo campione.

Il dispositivo è dotato di tre terminali:

- terminale **IN** nel quale viene iniettato il segnale originale;
- terminale **OUT** dove è presente il segnale campionato e mantenuto;
- terminale di controllo **Control** dove un opportuno segnale impulsivo, di periodo costante e breve durata d'impulso, comanda in questo modo le due fasi:
  - breve impulso di **livello alto 1**: Sample,
  - **livello basso 0**: Hold.



- Nella figura a sinistra il segnale viene campionato in corrispondenza degli impulsi di campionamento.
- Nella figura a destra il campione viene mantenuto.



## ESEMPIO 2

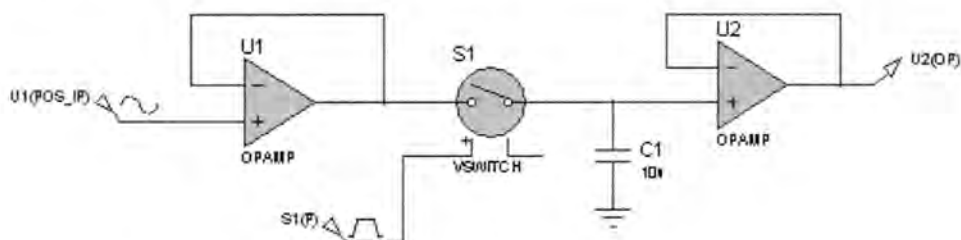
## Schema di un circuito Sample &amp; Hold

Lo schema realizzativo di base è così costituito:

1. due amplificatori operazionali in configurazione inseguitore di tensione;
2. uno switch comandato in tensione dagli impulsi di campionamento;
3. un condensatore.

Il funzionamento di massima è il seguente:

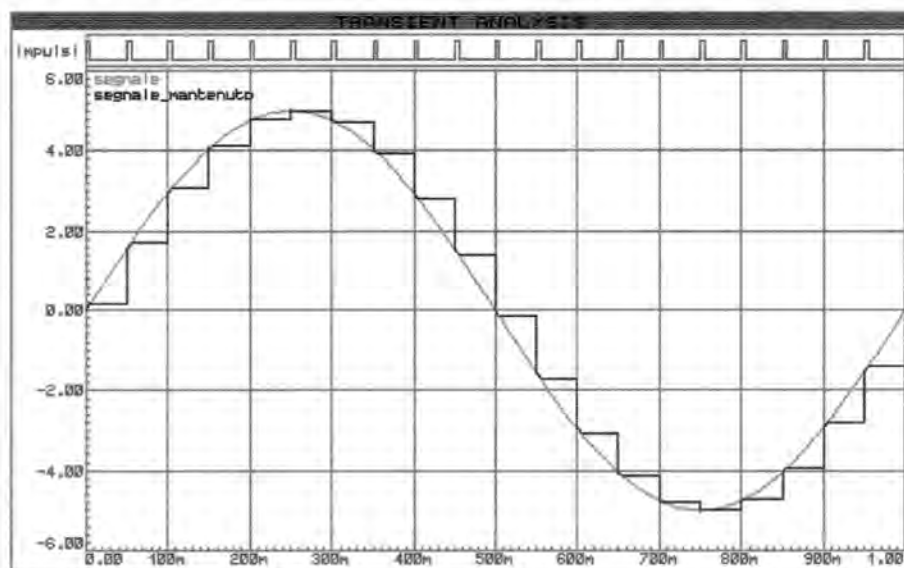
1. al sopraggiungere di un impulso Sample S1(P) lo switch si chiude;
2. il condensatore raggiunge il valore da campionare; il **tempo di carica** è trascurabile, perché l'operazionale ha **resistenza di uscita** teoricamente **nulla**;
3. al termine dell'impulso Sample lo switch si apre;
4. il condensatore mantiene memorizzato il valore campionato; la tensione ai suoi capi è praticamente **costante**, perché la **resistenza di ingresso** dell'operazionale a valle è teoricamente **infinita**.



Costruire lo schema con le seguenti caratteristiche:

- segnale di ingresso sinusoidale di frequenza  $f = 1$  Hz;
- segnale impulsivo di frequenza  $f = 20$  Hz e ampiezza 5 V;
- se si lavora con Proteus lo switch è: Modelling Primitives → VSWITCH (Voltage Controlled Switch).

Verificare la forma del segnale mantenuto, come nel seguente grafico risultante dalla simulazione:

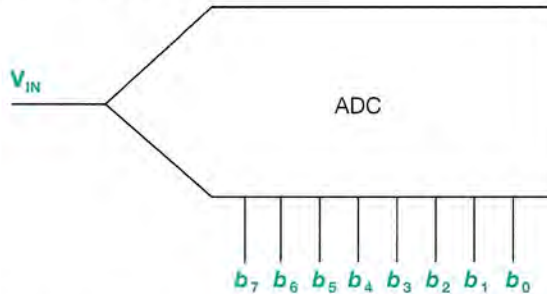


Il dispositivo **convertitore analogico digitale ADC (Analog to Digital Converter)** converte un segnale di tensione analogica in una serie di valori discreti in formato numerico binario.

L'ADC riceve il segnale analogico dal Sample & Hold e lo digitalizza nel formato adatto al computer.

In figura è rappresentato lo schema generale di un ADC a 8 bit nel quale si nota la presenza:

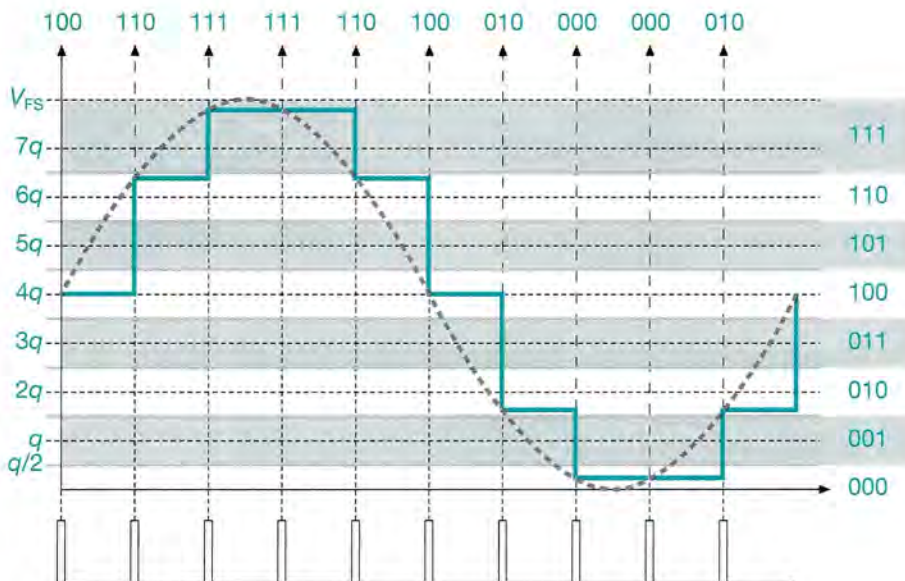
- di un unico ingresso  $V_{IN}$  di tensione;
- di otto uscite digitali  $b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$ .



La figura seguente è un esempio relativo a una sinusoide della quale sono campionati, mantenuti e successivamente convertiti 10 livelli di tensione. Si notino nella figura:

- gli impulsi di campionamento;
- il segnale sinusoidale originale;
- il segnale sinusoidale campionato;
- i valori digitali associati a ogni campione.

Si noti che tre bit possono esprimere solo 8 **fasce di conversione**, ovvero la conversione determina una **discretizzazione** con **perdita di informazione**. Aumentando il numero di bit aumentano le fasce e la **risoluzione**, cosicché la perdita di informazione diventa influente ai fini pratici.



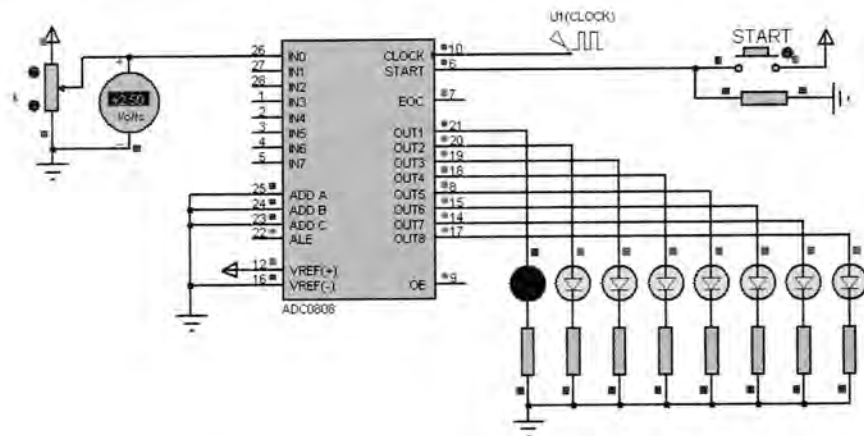
### ADC con indicazione a led

ESEMPIO 3

Nello schema che impiega un ADC0808:

1. gli ingressi di selezione  $ADD A$ ,  $ADD B$ ,  $ADD C$  sono posti a massa per la selezione di  $IN0$ ;
2.  $VREF+$  è posta a 5 V, come l'alimentazione dell'integrato,  $VREF-$  è collegata a massa;
3. sulle otto uscite digitali  $OUT1+OUT8$  sono collegati otto led;
4. l'impulso di Start Conversion è imposto tramite il pulsante START;
5. il clock ha frequenza 1 kHz;
6. la tensione da convertire si può impostare mediante un potenziometro.





Provare a modificare  $V_{IN0}$  e osservare come cambia la configurazione dei led accesi.

### Microprocessore o Computer

È il modulo intelligente del complesso, quello che disciplina e temporizza il funzionamento dei dispositivi della catena e acquisisce ed elabora i dati.

È un modulo misto hardware/software:

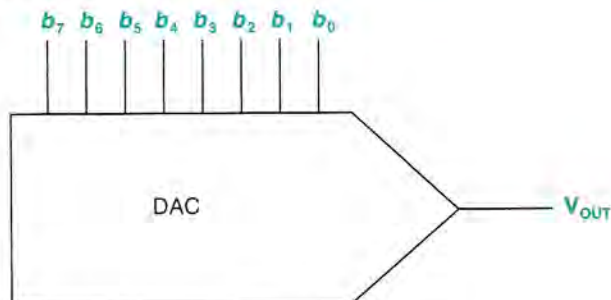
- lo **strato hardware** serve all'interfacciamento con i terminali degli altri dispositivi della catena; esso provvede in particolare a:
  - generare i segnali di selezione di MUX e DEMUX,
  - temporizzare le operazioni di Sample & Hold,
  - comandare il dispositivo ADC,
  - prelevare i livelli digitali dalle porte di input,
  - inviare livelli digitali sulle porte di output;
- lo **strato software** serve a gestire il sistema a livello informatico, in particolare provvede a:
  - memorizzare i dati acquisiti,
  - elaborare i dati acquisiti,
  - monitorare i dati,
  - sintetizzare i segnali di controllo dei dispositivi della catena.

### DAC Digital to Analog Converter

Il DAC svolge la funzione opposta dell'ADC: converte il dato digitale in una tensione reale.

In figura è rappresentato lo schema generale di un DAC a 8 bit nel quale si nota la presenza:

- di otto ingressi digitali  $b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$ ;
- di una uscita analogica  $V_{OUT}$ .

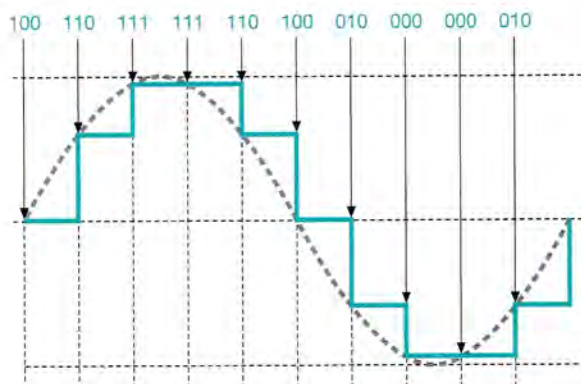


Per esempio nella figura seguente sono rappresentati:

- il segnale sinusoidale originale;
- i valori digitali corrispondenti inviati al DAC;
- i valori analogici all'uscita del DAC.

Dato che le porte di uscita del modulo di elaborazione sono provviste di **latch** che fissano il dato numerico, i corrispondenti livelli analogici vengono mantenuti tra un intervallo e il successivo.

La forma della  $V_{OUT}$  è pertanto analoga al segnale all'uscita del Sample & Hold prima della conversione.

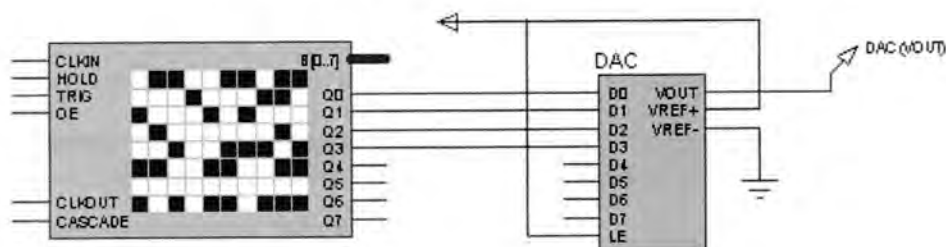


### Generazione di una gradinata

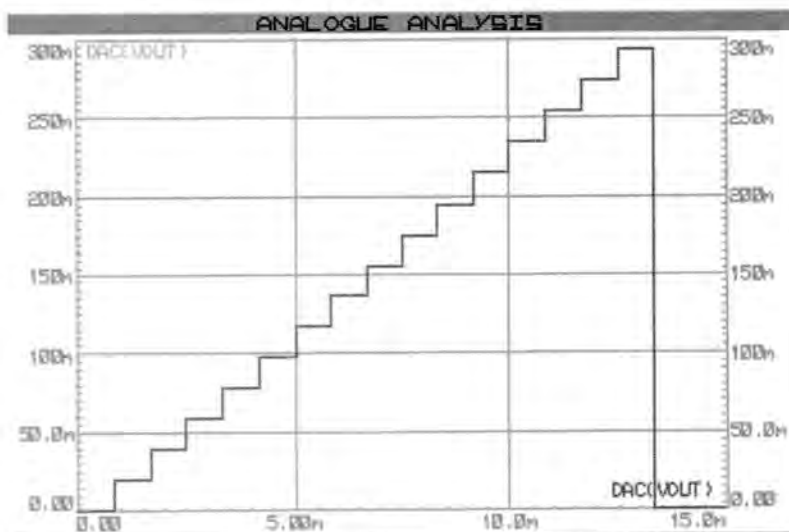
ESEMPIO 4

Nello schema Proteus che impiega un DAC a 8 bit:

1. sono utilizzati solo 4 ingressi  $D3, D2, D1, D0$ , per un totale di 16 combinazioni;
2. è utilizzato un Pattern Generator per le 16 configurazioni sulle uscite  $Q_3Q_2Q_1Q_0$ .



Osservare i 16 gradini della gradinata analogica.





**Filtro passa-basso**

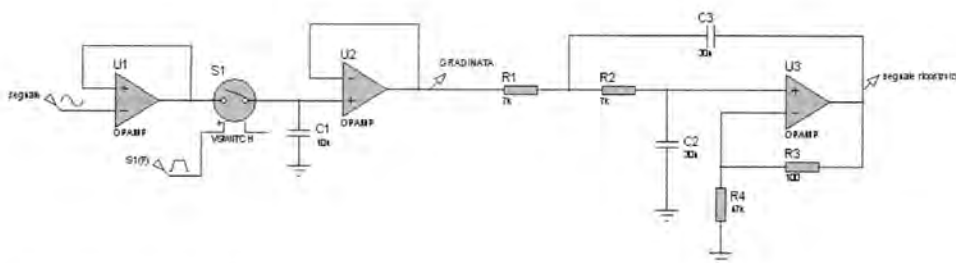
Il filtro passa-basso serve a conferire un profilo continuo al segnale a gradini fornito dal DAC.

Un segnale a gradini può essere pensato come la somma di due segnali:

- il segnale continuo interpolante di bassa frequenza;
- una onda quadra che contiene armoniche di alta e altissima frequenza.

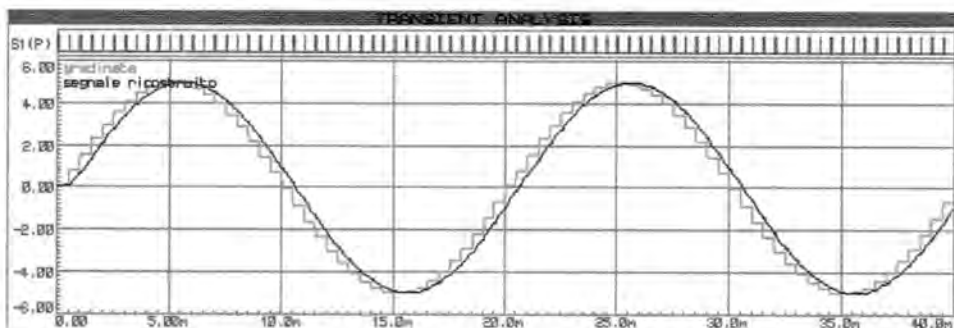


Il filtro passa basso, eliminando le alte frequenze, smussa le parti spigolose e ricostruisce i tratti curvilinei del segnale.

**ESEMPIO 5****Sample & Hold + Filtro**

Nello schema sono presenti:

1. un campionario per generare un segnale a gradini;
2. un filtro PB del secondo ordine, per separare il segnale utile dai segnali di alta frequenza.



Si osservi nel grafico il segnale a gradini all'uscita del campionario e il segnale ricostruito all'uscita del filtro, praticamente coincidente con il segnale all'ingresso del Sample & Hold.

# Acquisizione, digitalizzazione e distribuzione dati

## Acquisizione dati

### Configurazione sistema di acquisizione dati

- Segmento di **acquisizione**: funge da interfaccia tra il mondo reale e l'elaboratore.
- Segmento di **elaborazione** dei dati: opera sui dati digitali.
- Segmento di **distribuzione**: riconsegna quanto elaborato al mondo fisico.

### Moduli segmento di acquisizione

- **Trasduttore**: a contatto con le sorgenti fisiche, rileva un **dato fisico** di qualsiasi natura (temperatura, rotazione angolare, velocità, pressione...) e lo converte in un valore di **tensione proporzionale**.
- **Condizionatore**: **manipola** il segnale all'uscita del trasduttore, per renderlo **compatibile** con i blocchi a valle.
- **Selettore analogico AMUX** convoglia sull'unica linea di ingresso dell'ADC i segnali provenienti dalle N sorgenti, nel caso siano presenti più trasduttori.
- **Campionatore e mantentore**: mantiene costante il segnale analogico diretto all'ADC nel corso del processo di conversione.
- **Convertitore Analogico Digitale ADC**: converte un segnale di tensione analogica in una serie di valori discreti in formato numerico binario.

### Moduli segmento di elaborazione

- **Software**: gestisce i dati acquisiti a livello informatico.
- **Hardware**: genera i segnali che disciplinano il complesso della catena di acquisizione.

### Moduli segmento di distribuzione

- Convertitore Digitale Analogico DAC**: svolge la funzione opposta dell'ADC, convertendo il dato digitale in una tensione reale.
- Distributore Analogico ADEMUX**: opera in modo complementare al MUX, smistando un singolo ingresso su più uscite.
- Filtro Passa Basso LPF**: conferisce un profilo continuo al segnale a gradini fornito dal DAC.
- Attuatore**: conferisce ai segnali la potenza necessaria per **pilotare** i sistemi da controllare.



# Test di verifica

✓ Area *digitale*

## Quesiti a scelta multipla

**1** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a Acquisizione e distribuzione sono strati software.
- ☐ b Elaborazione è uno strato hardware.
- ☐ c I dati sono elaborati nel sistema virtuale.
- ☐ d I dati sono acquisiti nel sistema fisico.

**2** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a L'elaborazione avviene sui dati digitalizzati.
- ☐ b Il dispositivo DAC è posto nel ramo di acquisizione.
- ☐ c I dati digitali sono numeri.
- ☐ d ADC significa Analog Data Converter.

**3** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a Gli attuatori sono nel ramo di acquisizione.
- ☐ b I trasduttori sono nel ramo di distribuzione.
- ☐ c Il computer è interposto tra acquisizione e distribuzione.
- ☐ d Gli attuatori esercitano una azione sul campo.

**4** Indicare le frasi corrette. (2 risposte esatte)

Come interviene il trasduttore sul segnale di ingresso?

- ☐ a Modifica la forma.
- ☐ b Modifica la natura.
- ☐ c Modifica l'ampiezza.
- ☐ d Modifica le proporzioni.

**5** Indicare le frasi corrette. (2 risposte esatte)

Come interviene il condizionatore sul segnale di ingresso?

- ☐ a Con una traslazione di livello.
- ☐ b Con una rotazione.
- ☐ c Modificando la natura del segnale.
- ☐ d Con una amplificazione/attenuazione.

**6** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a Il selettore ha una sola uscita.
- ☐ b Il distributore ha più di un ingresso.
- ☐ c Gli ingressi di selezione sono in numero inferiore agli ingressi dati in un selettore.
- ☐ d Il DEMUX è un selettore.

**7** *Indicare le frasi corrette. (2 risposte esatte)*

- ☐ a La fase di Sample dura più di quella di Hold.
- ☐ b Il mantenimento è utile per l'operatività dell'ADC.
- ☐ c L'istante di campionamento è sincronizzato con un impulso.
- ☐ d Idealmente nella fase di Hold l'uscita del Sample & Hold è nulla.

**8** *Quali affermazioni sono valide per un ADC? (2 risposte esatte)*

- ☐ a Ha una uscita analogica.
- ☐ b Ha diversi ingressi digitali.
- ☐ c È collegato al Sample & Hold.
- ☐ d È collegato alla porta di input del microcontrollore.

**9** *Quali affermazioni sono valide per un microprocessore? (2 risposte esatte)*

- ☐ a È collegato in input con un DAC.
- ☐ b Elabora i dati acquisiti.
- ☐ c È collegato in output con un ADC.
- ☐ d Genera segnali di temporizzazione.

**10** *Quali affermazioni sono valide per un DAC? (2 risposte esatte)*

- ☐ a Ha una uscita analogica.
- ☐ b Ha diversi ingressi digitali.
- ☐ c È collegato al Sample & Hold.
- ☐ d È collegato alla porta di input del microcontrollore.

**11** *Quali affermazioni sono valide per un filtro PB? (2 risposte esatte)*

- ☐ a Rende il segnale discreto.
- ☐ b Attenua gli spigoli.
- ☐ c Elimina le armoniche di bassa frequenza.
- ☐ d Tende a rendere il segnale continuo.



## A3

## Conversione digitale-analogico

Il DAC è un dispositivo che dà una forma riconoscibile alle asettiche sequenze di numeri dei segnali digitali. Il vostro riproduttore di CD o MP3, grazie al DAC interno, converte i file digitali dei brani in vera musica.

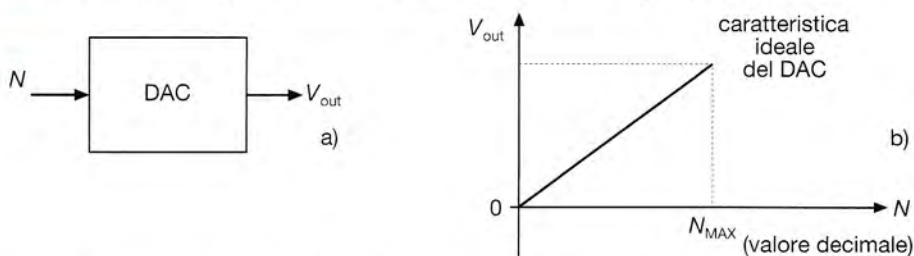


### Funzionalità del DAC

## 3.1 Funzionalità e caratteristica del DAC

I sistemi di elaborazione possono memorizzare insiemi finiti di dati numerici in forma **discretizzata**, mentre i segnali fisici si presentano in forma **continua**. I convertitori DAC traducono i dati numerici in segnali fisici.

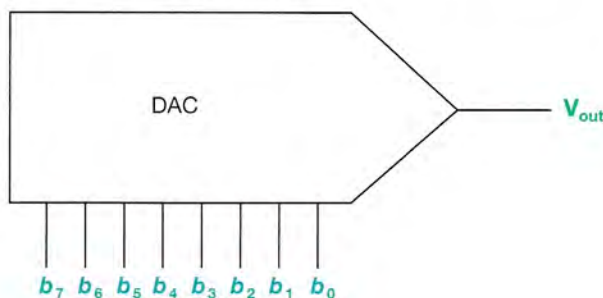
Il **Convertitore Digitale Analogico DAC (Digital to Analog Converter)** accetta in ingresso un **numero** e fornisce all'uscita una **tensione** a esso **proporzionale**, come descritto dallo schema funzionale della figura a. Il grafico di figura b rappresenta la **caratteristica ideale**, che descrive la proporzionalità tra il numero e la corrispondente tensione.



I dati numerici sono codificati, nei sistemi di elaborazione, in forma binaria. Per fissare le idee facciamo riferimento alla codifica a otto cifre binarie. Rappresentiamo il numero binario come la seguente stringa di bit:

$b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$

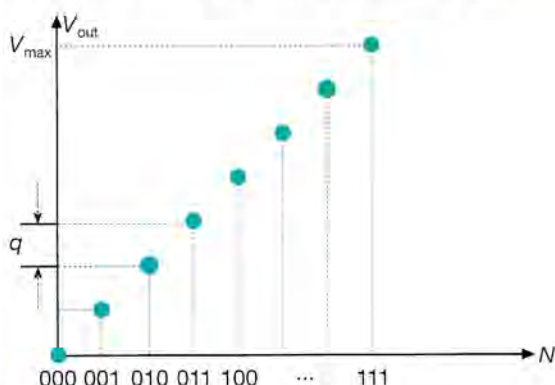
Possiamo allora definire con maggiore dettaglio, come in figura, lo schema funzionale del DAC, costituito da otto ingressi e una uscita. Su ciascuno degli otto ingressi viene impostata una cifra binaria ('0' o '1') e, nel complesso, le otto cifre formano un numero compreso tra 00000000 e 11111111.



### Caratteristica del DAC

Il grafico nella figura seguente rappresenta la caratteristica reale di un DAC a tre soli ingressi, così caratterizzata:

- a ciascun codice numerico di ingresso, da  $N = 000$  a  $N = 111$ , corrisponde un livello proporzionale di tensione  $V_{out}$ ;
- i livelli di tensione sono separati da un intervallo costante  $q$ , detto **quanto di tensione**.



Per comprendere il significato pratico di  $q$  supponiamo di inviare al DAC le combinazioni dei numeri 0, 1, 2, 3...: in questo caso l'uscita è una gradinata nella quale ogni gradino è alto  $q$ . Tanto minore è  $q$  tanto più fedele è il segnale digitale rispetto al segnale analogico desiderato; se infatti il quanto è piccolo il profilo del segnale risulta più continuo, quindi più aderente alla forma del segnale analogico desiderato.

Per quanto si renda piccolo  $q$ , in ogni caso il segnale numerico, essendo per natura discreto, non può dare luogo a un segnale continuo. Eventualmente è possibile intervenire a valle del DAC con un **filtro** passa basso, che ha lo scopo di arrotondare i vertici dei gradini, conferendo al segnale un andamento più armonico.

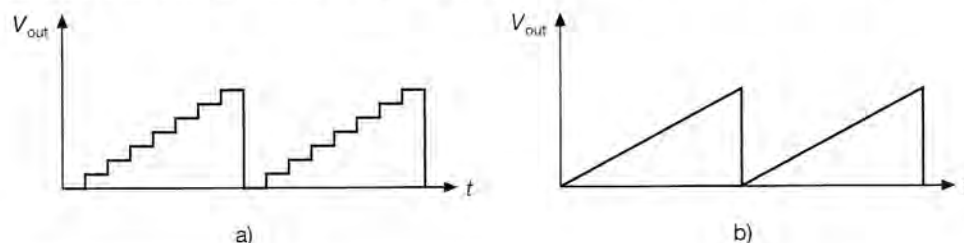
### Generazione di un segnale mediante un DAC

ESEMPIO 1

Si supponga di disporre di un DAC a 3 bit. Sui tre ingressi vengono iniettate le sequenze numeriche binarie da 0 (000) a 7 (111). Disegnare il segnale di uscita.

Poiché all'uscita del DAC vengono forniti valori di tensione proporzionali al numero di ingresso, si determina un segnale progressivamente crescente (figura a).

Ipotizzando di trascurare la distanza tra un gradino e l'altro, il segnale è assimilabile alla caratteristica forma d'onda a "dente di sega" (figura b).



Grazie al ruolo di interfaccia tra mondo numerico e mondo analogico rivestito dai DAC, è possibile la costruzione di sistemi in **logica programmata** che possono intervenire nel mondo analogico; essi si distinguono, per la loro flessibilità, dai sistemi in logica **cablata**. I sistemi in logica programmata evolvono e dunque producono uscite in base a un **programma**, che risiede nella loro sezione software; nella sezione hardware sono presenti gli elementi per l'interfaccia con il mondo analogico. Variando il programma, il sistema evolverà in un modo diverso, anche se l'hardware, cioè la parte circuitale, rimane invariata. I sistemi in logica cablata non evolvono in base a un programma, ma

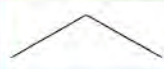
### Impieghi del DAC



in base ai collegamenti degli elementi circuitali (**collegare** e **cablare** sono spesso sinonimi). Questo implica che per fare evolvere diversamente un sistema in logica cablata occorre intervenire direttamente sulla sua configurazione circuitale; tale caratteristica rende questi sistemi meno flessibili.

**ESEMPIO 2****Generatore di segnali in logica programmata**

Un PC viene collegato, tramite una porta di output, a un DAC a 3 bit. Variando il programma in modo da modificare la sequenza dei numeri prodotti sulla porta del PC, è possibile generare diverse forme d'onda. Si veda per esempio la seguente tabella, che descrive la corrispondenza tra forme d'onda e sequenze binarie a tre bit.

Primo ciclo di sequenze	Secondo ciclo di sequenze	Forma d'onda
000→001→010→011→100→101→110→111	000→001→010→011→100→101→110→111	
000→001→010→011→100→101→110→111	111→110→101→100→011→010→001→000	
000→000→000→000→000→000→000→000	111→111→111→111→111→111→111→111	

Numerosi sistemi, oltre agli elaboratori, utilizzano i DAC come interfaccia. Qualsiasi riproduttore audio digitale, come un lettore di CD o MP3, prevede una sezione di conversione digitale-analogica, seguita da una sezione di amplificazione di potenza, per il comando degli altoparlanti.

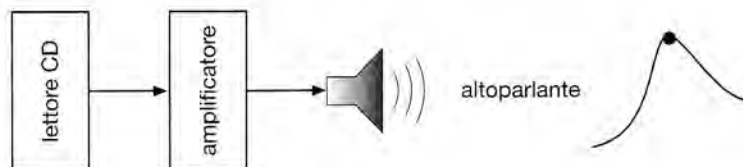
**ESEMPIO 3****Riproduttore di CD audio**

Consideriamo un impianto di riproduzione audio, costituito da un lettore di CD e da un amplificatore, in cascata.

Il lettore di CD legge le tracce numeriche incise e le converte in un segnale analogico. L'operazione viene compiuta in particolare da un dispositivo DAC incorporato.

Supponiamo che il DAC sia a 16 bit e l'amplificazione valga 100.

In corrispondenza della traccia numerica di valore minimo, cioè  $N_{\text{MIN}} = 00000000\ 00000001$ , la tensione all'uscita del DAC valga  $1\ \mu\text{V}$ . Quanto vale la tensione massima dell'amplificatore, corrispondente al livello audio massimo?



Il massimo di tensione si ha in corrispondenza del numero massimo  $N_{\text{MAX}} = 11111111\ 11111111$ . Questo dato corrisponde, in decimale, al numero 65535.

Dato il rapporto di proporzionalità tra  $N$  e la tensione all'uscita del DAC, il valore massimo della sua tensione vale:

$$V_{\text{DAC MAX}} = 1\ \mu\text{V} \cdot 65535 = 65,535\ \text{mV}$$

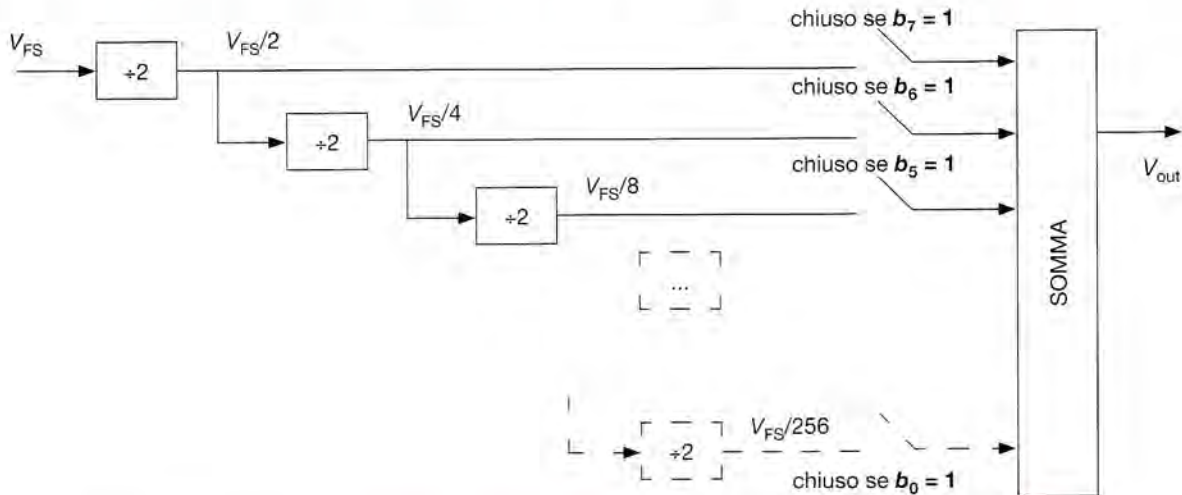
All'uscita dell'amplificatore si registra allora una tensione massima:

$$V_{\text{MAX}} = 6,5535\ \text{V}$$

## 3.2 Schema realizzativo del DAC

Vediamo uno schema realizzativo, per determinare l'espressione matematica che lega ingresso e uscita ed evidenziare le principali differenze tra caso reale e ideale.

Schema



Il punto di partenza è la **tensione di fondo scala**, o di riferimento,  $V_{FS}$ , che viene applicata esternamente e che, quindi, può essere scelta, in teoria, a piacimento. Questa tensione viene divisa ripetutamente per 2, mediante dei blocchi divisor. All'uscita di questi si rilevano pertanto le tensioni  $V_{FS}/2$ ,  $V_{FS}/4$ ,  $V_{FS}/8$  ...  $V_{FS}/256$ .

Questi segnali vengono tutti convogliati a un singolo blocco sommatore, ma il contributo che danno alla somma totale, ovvero al segnale d'uscita, dipende dagli ingressi digitali.

Un bit alto provoca infatti la chiusura del relativo interruttore e il passaggio del segnale, mentre se il bit è basso il segnale viene bloccato.

Il bit  $b_7$  determina il passaggio della tensione  $V_{FS}/2$ , il bit  $b_6$  di  $V_{FS}/4$  e così via. Ciascun bit contribuisce quindi alla tensione d'uscita in funzione del proprio stato '1' o '0', ma anche del proprio peso binario.

Il risultato di questo meccanismo è un valore di tensione proporzionale al numero binario di ingresso.

Vogliamo arrivare a questa conclusione, oltre che in modo intuitivo come fatto ora, in modo matematico. Per questo scriviamo l'espressione della  $V_{out}$ :

$$V_{out} = \frac{V_{FS}}{2} \cdot b_7 + \frac{V_{FS}}{4} \cdot b_6 + \frac{V_{FS}}{8} \cdot b_5 + \frac{V_{FS}}{16} \cdot b_4 + \frac{V_{FS}}{32} \cdot b_3 + \frac{V_{FS}}{64} \cdot b_2 + \frac{V_{FS}}{128} \cdot b_1 + \frac{V_{FS}}{256} \cdot b_0$$

Raccogliendo 256 al denominatore risulta anche:

$$\begin{aligned} V_{out} &= \frac{V_{FS}}{256} \cdot (128b_7 + 64b_6 + 32b_5 + 16b_4 + 8b_3 + 4b_2 + 2b_1 + b_0) = \\ &= \frac{V_{FS}}{256} \cdot (2^7 \cdot b_7 + 2^6 \cdot b_6 + 2^5 \cdot b_5 + 2^4 \cdot b_4 + 2^3 \cdot b_3 + 2^2 \cdot b_2 + 2^1 \cdot b_1 + 2^0 \cdot b_0) \end{aligned}$$

L'espressione tra parentesi rappresenta il numero digitale binario  $N_{(2)}$  di ingresso, convertito nel suo equivalente decimale  $N_{(10)}$ . Possiamo allora scrivere:

$$V_{out} = \frac{V_{FS}}{256} \cdot N_{(10)}$$

 **Area digitale**

DAC realizzato con rete a scala

**Espressione matematica**



Questa espressione finale ha il significato che ricercavamo: la tensione di uscita è pari al prodotto di un termine costante, di valore  $V_{FS}/256$ , per il numero digitale immesso all'ingresso. C'è, in altre parole, una proporzionalità tra numero di ingresso e tensione d'uscita. La costante di proporzionalità è il **quanto di tensione**, viene indicata con il simbolo  $q$  e vale:

$$q = V_{FS}/256$$

o, in termini più generali:

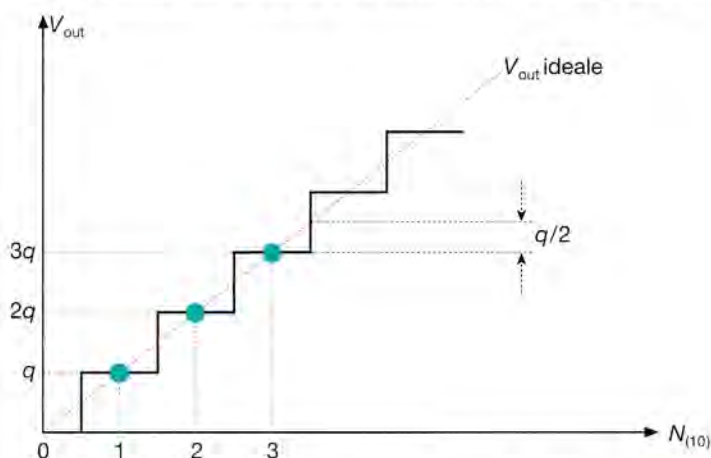
$$q = V_{FS}/2^R$$

essendo  $R$  il numero di bit d'ingresso.

### 3.3 Significato e importanza del quanto $q$

È importante analizzare in dettaglio la formula di conversione del DAC, evidenziando il ruolo rivestito dalla costante di proporzionalità  $q = V_{FS}/2^R$ .

Questa costante moltiplica il numero digitale  $N_{(10)}$  posto all'ingresso del DAC. Se  $N_{(10)}=1$  risulta  $V_{out}=q$ . Da qui discende un primo significato fondamentale: il quanto è il valore minimo di tensione che può costituirsi all'uscita del DAC. Se poi si incrementa  $N_{(10)}$  a 1, 2... si osserva che la  $V_{out}$  cresce in ragione doppia, tripla... di  $q$ . Pertanto  $q$  rappresenta anche il passo di tensione tra due livelli digitali successivi come si può osservare nella figura seguente. Il nome *quanto* nasce appunto dall'analogia con i livelli quantici dell'atomo, cioè le bande di energia che separano due successive orbite degli elettroni.



In ultima analisi  $q$  indica l'accuratezza della conversione, detta **risoluzione**; minore è  $q$ , maggiore è la risoluzione. Se, per esempio, si vuole convertire un range di tensione da 0 a 10,24 V con 8 bit, si hanno dei gradini di tensione pari a  $10,24/256 = 40$  mV, ovvero una risoluzione  $q = 40$  mV.

Per migliorare la risoluzione si deve espandere il numero di bit, pagando il vantaggio ottenuto con una maggiore complessità circuitale.

#### ESEMPIO 4

#### Quanti e precisione

Calcolare il valore del quanto per una tensione di fondo scala di 10,24 V nel caso di un DAC a 16 bit e uno a 20 bit. Calcolare inoltre la tensione massima cui giungono le uscite dei due DAC.

Per il DAC a 16 bit risulta:

$$q = V_{FS} / 2^R = 10,24 / 2^{16} = 0,00015625 = 0,15625 \text{ mV}$$

Per ciò che concerne la  $V_{MAX}$ , otteniamo:  $V_{MAX} = V_{FS} \cdot (2^{16} - 1) / 2^{16} = 10,23984 \text{ V}$ .

Per il DAC a 20 bit otteniamo invece:

$$q = V_{FS} / 2^R = 10,24 \text{ V} / 2^{20} = 0,000009765625 = 9,765625 \text{ } \mu\text{V}$$

$$V_{MAX} = V_{FS} \cdot (2^{20} - 1) / 2^{20} = 10,23999023 \text{ V}$$

### Calcolo della risoluzione

ESEMPIO 5

Sia dato un DAC avente valore di fondo scala  $V_{FS} = 3,2 \text{ V}$  e valore del quanto  $q = 0,2 \text{ V}$ . Determinare la risoluzione in bit.

Visto che risulta:

$$V_{FS} = 2^R \cdot q \quad \text{segue} \quad 2^R = V_{FS} / q = 16 \quad \text{e perciò} \quad R = 4$$

Citiamo un ultimo significato logico e pratico del quanto. Osserviamo che la tensione massima prodotta dal convertitore non è  $V_{FS}$ . Infatti dalla formula di  $V_{out}$ , ricordando che il numero massimo  $N_{MAX(10)}$  componibile con 8 bit è 255, si ha:

$$V_{MAX} = \frac{V_{FS}}{256} \cdot N_{MAX(10)} = \frac{V_{FS}}{256} \cdot 255 = V_{FS} \cdot \frac{256-1}{256} = V_{FS} - q$$

L'espressione mostra che la tensione massima che si costituisce all'uscita del convertitore, in corrispondenza del livello massimo di ingresso, non coincide con la  $V_{FS}$  ma differisce da questa proprio di un quanto.

Per ovviare a questo inconveniente, che è proprio di qualsiasi convertitore DAC, in quanto discende dalla logica propria di funzionamento, i dispositivi integrati adottano un sistema di taratura che consente di modificare  $V_{FS}$  in modo tale che  $V_{MAX}$  si possa attestare al valore desiderato per  $N_{(10)} = 255$ .



# Conversione digitale-analogico

## Convertitore digitale-analogico

### Definizione

Il **convertitore DAC** accetta in ingresso un **numero binario**  $b_7b_6b_5b_4b_3b_2b_1b_0$  e fornisce all'uscita una **tensione** ad esso proporzionale.

### Schema relizzativo

Lo schema generale si basa su una serie di divisioni successive per due e sulla sommatoria dei risultati. La serie di divisori fornisce i pesi attribuiti ai bit, ciascuno dei quali contribuisce alla sommatoria finale in funzione del suo valore di verità, secondo la formula generale:

$$V_{out} = \frac{V_{FS}}{2} \cdot b_7 + \frac{V_{FS}}{4} \cdot b_6 + \frac{V_{FS}}{8} \cdot b_5 + \frac{V_{FS}}{16} \cdot b_4 + \frac{V_{FS}}{32} \cdot b_3 + \frac{V_{FS}}{64} \cdot b_2 + \frac{V_{FS}}{128} \cdot b_1 + \frac{V_{FS}}{256} \cdot b_0$$

### Quanto $q$

Il **quanto  $q$**  è lo scarto tra due gradini all'uscita del DAC.

Corrisponde al valore minimo della  $V_{OUT}$ , che si ricava dalla formula generale, ponendo

$$b_7 = b_6 = b_5 = b_4 = b_3 = b_2 = b_1 = 0, b_0 = 1:$$

$$q = \frac{V_{FS}}{256}$$

### Fondo scala

Il fondo scala è la tensione massima  $V_{FS}$  fornita all'uscita del DAC.

Viene impostata mediante un opportuno ingresso esterno all'integrato.

$V_{FS}$  è un dato teorico, in pratica il valore massimo raggiungibile è  $V_{FS} - q$ .

# Test di verifica



## Quesiti a scelta multipla

**1** Indicare le frasi corrette. (3 risposte esatte)

I convertitori DAC:

- ☐ a accettano in ingresso un numero binario e forniscono in uscita una tensione.
- ☐ b presentano un solo terminale di ingresso e una sola uscita.
- ☐ c traducono i dati numerici in segnali analogici.
- ☐ d presentano più ingressi binari e una sola uscita.

**2** Indicare le frasi corrette. (3 risposte esatte)

- ☐ a La caratteristica ideale di un DAC è una retta.
- ☐ b La caratteristica ideale del DAC sottolinea la proporzionalità esistente tra valore digitale e analogico.
- ☐ c Un DAC stabilisce una relazione lineare tra numero digitale di ingresso e tensione analogica d'uscita.
- ☐ d Per un DAC a 8 bit  $N_{MAX} = 256_{(10)}$ .

**3** Indicare le frasi corrette. (3 risposte esatte)

- ☐ a I sistemi in logica programmata sono più flessibili di quelli in logica cablata.
- ☐ b I sistemi in logica cablata hanno una struttura hardware rigida.
- ☐ c I sistemi in logica programmata evolvono in base a un software flessibile.
- ☐ d I sistemi in logica programmata richiedono interventi circuitali più incisivi di quelli in logica cablata.

**4** Indicare le frasi corrette. (3 risposte esatte)

- ☐ a Il bit LSB ha peso minore dell'MSB.
- ☐ b Il contributo del bit 5 sul livello della tensione d'uscita è metà di quello del bit 6.
- ☐ c Il contributo del bit 5 sul livello della tensione d'uscita è uguale a quello del bit 6.
- ☐ d Il contributo del bit 3 sul livello della tensione d'uscita è doppio di quello del bit 2.

**5** Indicare le frasi corrette. (3 risposte esatte)

- ☐ a I contributi in tensione di ciascun bit raggiungono l'uscita del DAC tramite uno stadio sommatore finale.
- ☐ b La  $V_{FS}$  subisce una serie di moltiplicazioni per 2 ripetute.
- ☐ c Il livello logico di un bit comanda il corrispondente interruttore controllato in tensione.
- ☐ d Il contributo alla  $V_{out}$  del bit  $b_7$  è  $V_{FS}/2$ , quello del bit  $b_0$  è  $V_{FS}/256$ .

**6** Indicare le frasi corrette. (3 risposte esatte)

- ☐ a  $q$  è il passo tra due livelli digitali successivi.
- ☐ b Tanto minore è  $q$ , tanto maggiore è la risoluzione.
- ☐ c Tanto minore è  $q$ , tanto maggiore è la distanza tra due livelli.
- ☐ d La risoluzione aumenta espandendo il numero di bit di codifica.

**7** Indicare le frasi corrette. (3 risposte esatte)

- ☐ a La tensione di uscita di un DAC è il prodotto del quanto per il numero di ingresso.
- ☐ b La massima tensione all'uscita di un DAC a 8 bit si ha per  $N = 255$ .
- ☐ c Per un DAC a 8 bit il quanto vale  $V_{FS}/256$ .
- ☐ d La massima tensione all'uscita di un DAC a 8 bit si ha per  $N = 256$ .

**8** Indicare le frasi corrette. (3 risposte esatte)

- ☐ a Per un DAC a 7 bit il quanto vale  $V_{FS}/255$ .
- ☐ b Per un DAC a 8 bit il quanto vale  $V_{FS}/256$ .
- ☐ c Per un convertitore a 20 bit con  $V_{FS} = 10,24$  V il quanto vale  $q = 9,765625$   $\mu$ V.
- ☐ d Per un convertitore a 16 bit con  $V_{FS} = 10,24$  V il quanto vale  $q = 156,25$   $\mu$ V.



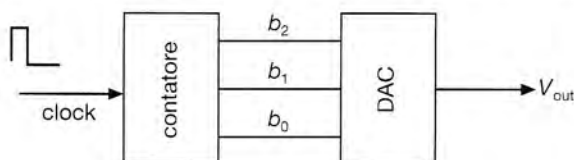
# Esercizi di verifica

## 3.1 Funzionalità e caratteristica del DAC

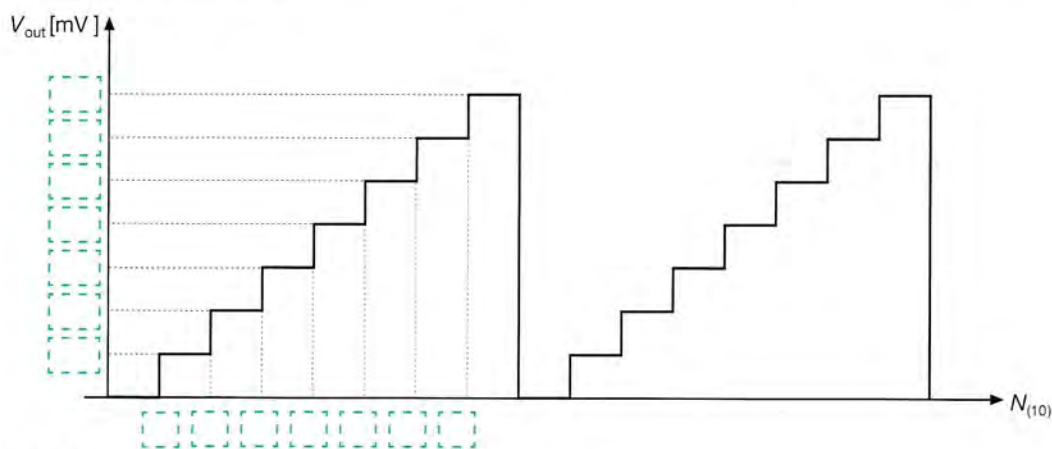
### Caratteristica del DAC

- 1 Si consideri un contatore binario, che genera la seguente sequenza numerica sulle tre uscite  $b_2, b_1, b_0$ :

000 → 001 → 010 → 011 → 100 → 101 → 110 → 111



Corrispondentemente all'uscita del DAC viene generata un'onda del tipo a "dente di sega", rappresentata nella figura di seguito riportata. Sapendo che la distanza tra un gradino e l'altro è di 4 mV, si completi la figura, riportando i valori delle grandezze nei riquadri.



### Impieghi del DAC

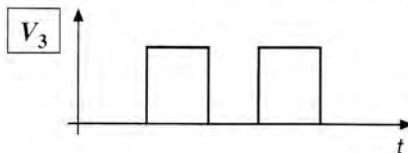
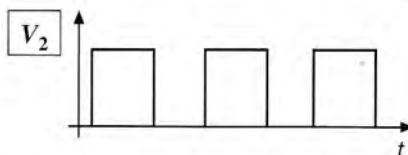
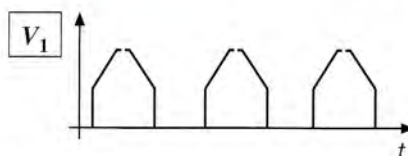
- 2 Si supponga di pilotare gli ingressi di un DAC con sequenze binarie. Quale associazione tra sequenza binaria e uscita è corretta? (1 risposta esatta)

**a**  $S_1 \rightarrow V_1; S_2 \rightarrow V_2; S_3 \rightarrow V_3$     **b**  $S_1 \rightarrow V_2; S_2 \rightarrow V_1; S_3 \rightarrow V_3$     **c**  $S_1 \rightarrow V_3; S_2 \rightarrow V_2; S_3 \rightarrow V_1$

**S<sub>1</sub>** 111 → 111 → 111 → 111 → 111 → 111 →  
000 → 000 → 000 → 000 → 000 → 000 → ...

**S<sub>2</sub>** 101 → 110 → 111 → 111 → 110 → 101 →  
000 → 000 → 000 → 000 → 000 → 000 → ...

**S<sub>3</sub>** 000 → 000 → 000 → 000 → 000 → 000 →  
111 → 111 → 111 → 111 → 111 → 111 → ...



- 3 Supponiamo che il DAC di un sistema HI-FI sia a 16 bit e l'amplificazione valga 100. In corrispondenza della traccia numerica di valore  $N = 00000000\ 10000011$  si ha in uscita all'amplificatore una tensione che pilota gli altoparlanti di 13,1 mV.

Quanto vale la tensione massima, che proietta il livello audio al valore di picco?

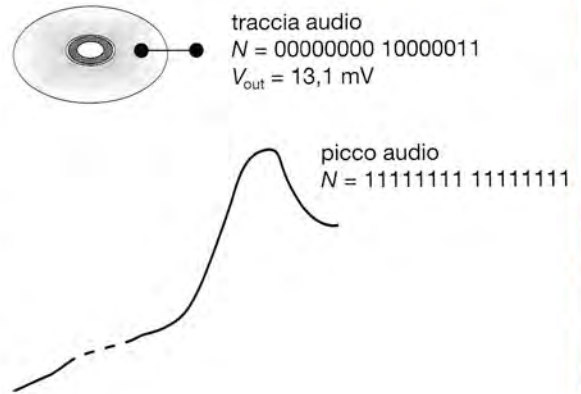
La tensione a valle dell'ADC, che pilota l'amplificatore, vale  $\boxed{\phantom{00}}/\boxed{\phantom{00}} = \boxed{\phantom{00}}\ \mu\text{V}$ .

Questa tensione corrisponde al numero decimale  $\boxed{\phantom{00}}$ . Al numero 1 corrisponde allora la tensione (quanto) di  $\boxed{\phantom{00}}\ \mu\text{V}$ .

Al numero massimo, che è  $\boxed{\phantom{00}}$  (con  $\boxed{\phantom{00}}$  bit si può codificare un numero massimo pari a  $2^{16} - 1 = \boxed{\phantom{00}} - 1$ ), corrisponde allora il picco audio:

$$\boxed{\phantom{00}}\ \mu\text{V} \cdot \boxed{\phantom{00}} = \boxed{\phantom{00}}\ \text{mV}$$

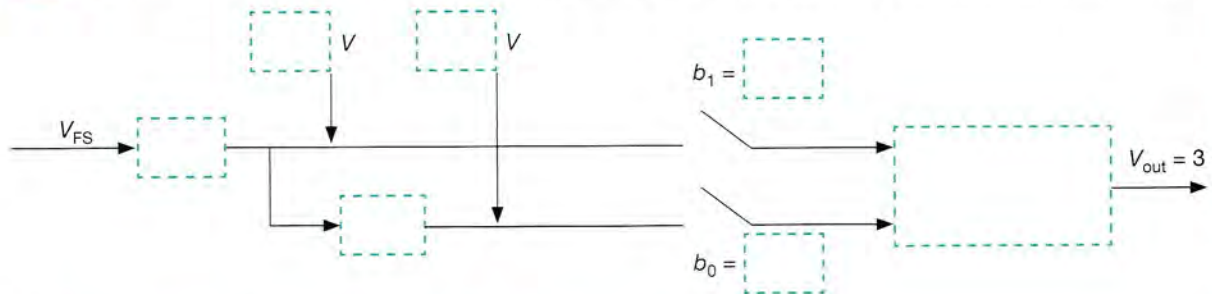
All'uscita dell'amplificatore si hanno  $\boxed{\phantom{00}}\ \text{V}$ .



### 3.2 Schema realizzativo del DAC

#### Schema – Espressione matematica

- 4 Si osservi lo schema seguente, che rappresenta un DAC a 2 bit con  $V_{FS} = 4\text{ V}$ . Completare con i dati richiesti.



### 3.3 Significato e importanza del quanto $q$

- 5 Considerato un DAC avente quanto  $q = 0,039$ , completare la tabella seguente:

Risoluzione	$V_{FS} = 2^R \cdot q$	$V_{OUTMAX} = V_{FS} - q$
$R = 3$		
$R = 4$		
$R = 8$		
$R = 12$		

- 6 Considerato un DAC avente  $V_{FS} = 5\text{ V}$  e  $R = 8$  completare la tabella seguente, che descrive il valore dell'uscita in corrispondenza di diversi dati di ingresso:

Risoluzione	$V_{OUT} [\text{V}]$	Note
$N = 1$		valore del quanto
$N = 128$		valore a metà
$N = 255$		valore massimo
$N = 256$		combinazione impossibile



## A4

## Campionamento

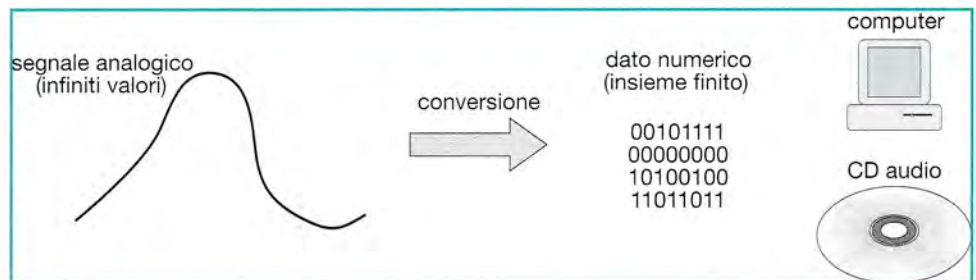
In statistica campionare significa effettuare delle rilevazioni da un sottoinsieme particolare della popolazione, allo scopo di operare delle stime. Per prevedere i possibili esiti di una consultazione elettorale si fanno per esempio interviste a campione. In ambito elettronico/informatico il significato è lo stesso: campionare un segnale equivale a registrarne solo alcuni campioni rappresentativi.



## 4.1 Cosa è il campionamento e perché è necessario

**Perché è necessario campionare**

I segnali analogici, per essere adeguati al trattamento da parte dei sistemi di elaborazione digitale, vanno convertiti in sequenze di numeri, a loro volta codificati come sequenze di bit.



Prima di eseguire la **conversione analogico-digitale** di un segnale, cioè la sua trasformazione in una sequenza numerica, si deve scegliere un numero limitato di campioni del segnale. Le motivazioni principali sono due:

- i supporti di memorizzazione dei sistemi digitali, sia che si tratti di memorie temporanee come quelle dei computer, sia che ci si riferisca a supporti permanenti di memorizzazione come un CD, supportano un numero limitato di dati digitali;
- il processo di conversione analogico-digitale impiega un tempo di conversione  $T_{\text{CONV}}$  non nullo, di conseguenza la conversione degli infiniti valori che formano un segnale continuo richiederebbe un tempo infinito.

**Cosa significa campionare**

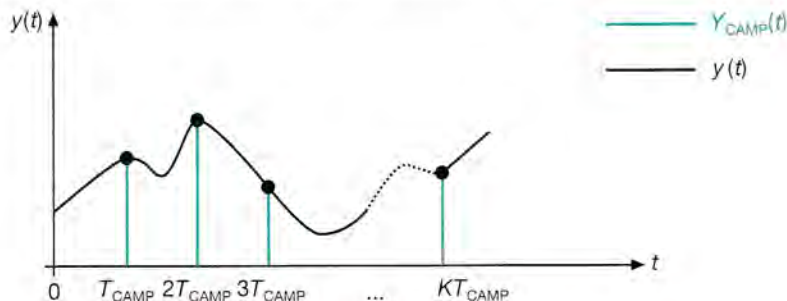
Descriviamo ora più da vicino il processo di campionamento.

Campionare un segnale continuo significa estrarre un insieme discreto dei suoi valori, registrando solo alcuni **valori istantanei** a **intervalli regolari**. La distanza temporale tra un campione e il successivo è detta **Periodo di campionamento**  $T_{\text{CAMP}}$ .

Detti  $y(t)$  il segnale continuo e  $y_{\text{CAMP}}(t)$  il corrispondente segnale campionato si ha in formule:

$$\begin{aligned} y_{\text{CAMP}}(t) &= 0 & \forall t \neq KT_{\text{CAMP}} \\ y_{\text{CAMP}}(t) &= y(t) & \text{per } t = KT_{\text{CAMP}} \text{ con } K = 0, 1, 2, 3 \dots \end{aligned}$$

La figura seguente mostra un generico segnale  $y(t)$  e il corrispondente segnale  $y_{\text{CAMP}}(t)$  rappresentato dai campioni registrati negli istanti  $T_{\text{CAMP}}, 2T_{\text{CAMP}}, 3T_{\text{CAMP}}, \dots, KT_{\text{CAMP}}$ .

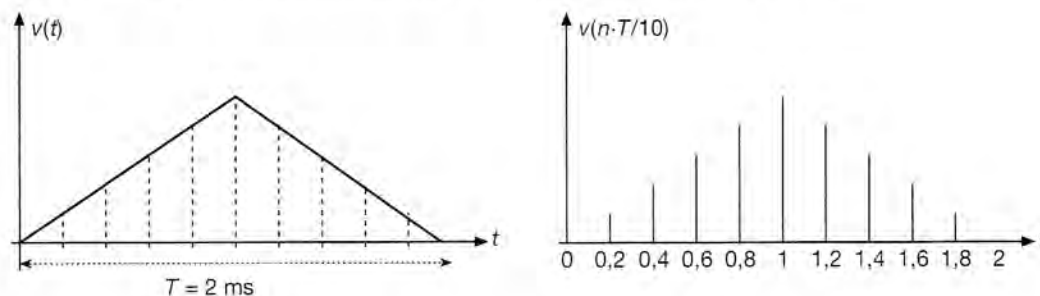


### Calcolo dei campioni di un segnale a forma triangolare

ESEMPIO 1

Calcolare il valore dei campioni della seguente forma d'onda, per intervalli di tempo pari a  $1/10$  del suo periodo.

Dati:  $T = 2 \text{ ms}$ ;  $\text{tg} \alpha = 0,5$  = inclinazione rampa salita e discesa della forma d'onda.



Il periodo di campionamento è:  $T/10 = 2/10 = 0,2 \text{ ms}$ . La scelta dei campioni porta alla formulazione della seguente tabella:

$t \text{ [ms]}$	0	0,2	0,4	0,6	0,8	1	1,2	1,4	1,6	1,8	2
$v \text{ [mV]}$	0	0,1	0,2	0,3	0,4	0,5	0,4	0,3	0,2	0,1	0

## 4.2 Frequenza di campionamento e capacità di memoria

Il periodo di campionamento è già stato introdotto ed è l'intervallo di tempo  $T_{\text{CAMP}}$  tra due campioni di un segnale. La frequenza di campionamento  $f_{\text{CAMP}}$  è il numero di campioni prelevati nell'unità di tempo. Come sempre, frequenza e periodo stanno tra loro in rapporto inverso cioè:

$$f_{\text{CAMP}} = 1/T_{\text{CAMP}}$$

Frequenza di campionamento



**ESEMPIO 2****Calcolo del periodo e della frequenza di campionamento**

Si supponga che una sinusoidale di frequenza  $f = 1 \text{ kHz}$  venga campionata prelevando 10 campioni a periodo. Quanto vale la frequenza di campionamento?

Il periodo della sinusoidale vale:

$$T = 1 / f = 1 / 1 \text{ kHz} = 1 / 10^3 = 10^{-3} = 1 \text{ ms}$$

Poiché in questo intervallo di tempo devono essere prelevati i 10 campioni, ciascun campione sarà distanziato dall'altro di un intervallo pari a:

$$T_{\text{CAMP}} = (1 \text{ ms}) / 10 = 0,1 \text{ ms}$$

e la frequenza di campionamento sarà:

$$f_{\text{CAMP}} = 1 / T_{\text{CAMP}} = 10 \text{ kHz}$$

È possibile procedere in modo spedito applicando un ragionamento. La sinusoidale possiede una frequenza di 1000 Hz ovvero sviluppa 1000 cicli al secondo. In ciascuno di questi cicli, corrispondente a un periodo, vengono prelevati 10 campioni. Allora in un secondo i campioni prelevati sono:

$$\text{campioni/s} = 1000 \times 10 = 10000 \dots \text{cioè la frequenza di campionamento è } 10 \text{ kHz}$$

**Capacità di memoria**

La quantità di **memoria** necessaria per **registrare** un segnale digitale campionato è proporzionale alla frequenza di campionamento. Dato che la frequenza di campionamento stabilisce direttamente il numero di campioni che è necessario memorizzare nell'unità di tempo, moltiplicando  $f_{\text{CAMP}}$  per la durata della registrazione, si ricava la memoria necessaria, in termini di numero di campioni.

**ESEMPIO 3****Calcolo numero di campioni**

Un segnale campionato con  $f_{\text{CAMP}} = 10 \text{ kHz}$  ha durata 10 secondi. Calcolare il numero di campioni  $N_{\text{CAMP}}$ .

Il problema può essere risolto con riferimento a

1.  $f_{\text{CAMP}}$

2.  $T_{\text{CAMP}}$

1. Dalla definizione di  $f_{\text{CAMP}}$  discende che:  $N_{\text{CAMP}}$  al secondo = 10000 e, dato che la durata è 10 secondi, si ha un numero totale di campioni  $N_{\text{CAMP}} = 10000 \times 10 = 100000$ .

2. Il periodo di campionamento vale:  $T_{\text{CAMP}} = 1/f_{\text{CAMP}} = 1/10000 = 100 \text{ } \mu\text{s}$ . In 10 secondi il numero di campioni è:  $N_{\text{CAMP}} = 10/100 \cdot 10^{-6} = 10^5 = 100000$ .

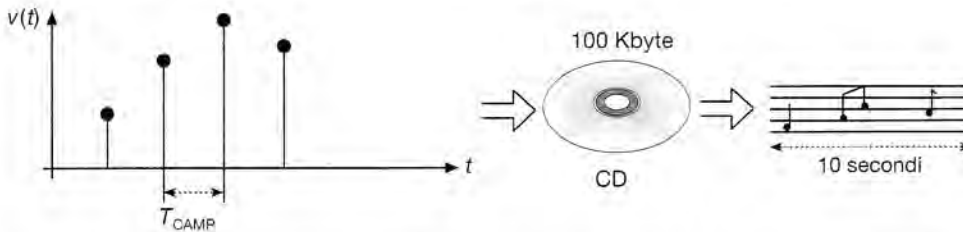
La memoria occupata è sì proporzionale al numero di campioni, ma dipende anche dal numero di bit scelto per la digitalizzazione, parametro che, come vedremo, influisce sulla qualità della digitalizzazione.

La scelta è legata nello stesso tempo al tipo di sistema e al grado di precisione con il quale il singolo campione digitale deve rappresentare il segnale analogico originale. Nel caso di un grossolano sistema di rilevazione della temperatura sarà per esempio sufficiente lo spazio di 1 byte per campione, mentre, per esempio, la registrazione digitale musicale richiede lo standard di 16 bit per campione.

## ESEMPIO 4

## Campionamento e digitalizzazione di un segnale audio

Un segnale audio viene campionato per essere digitalizzato e memorizzato in un file. Supponiamo che ciascun campione venga codificato con un byte e che la dimensione di questo file non debba superare 100 Kbyte. Se l'intervallo di campionamento  $T_{\text{CAMP}}$  è pari a 0,1 ms, qual è la durata massima del brano registrabile?



Dato che il file può accogliere 100000 campioni del segnale e ciascuno è distanziato dall'altro di 0,1 ms, la durata sarà data da: durata brano =  $10^5 \times 0,1 \times 10^{-3} = 10$  secondi.

## 4.3 Teorema del campionamento e aliasing

Un segnale campionato è rappresentato dai suoi campioni intervallati dal periodo di campionamento  $T_{\text{CAMP}}$  e prelevati alla frequenza di campionamento  $f_{\text{CAMP}}$ .

Quanto maggiore è  $f_{\text{CAMP}}$  tanto maggiore è la memoria necessaria per memorizzare i campioni del segnale entro un file e di conseguenza sarebbe importante campionare con bassa  $f_{\text{CAMP}}$ .

Queste osservazioni introducono subito due interrogativi:

- il segnale campionato **descrive** effettivamente in modo compiuto il segnale originale?
- quanto deve valere  $f_{\text{CAMP}}$  affinché  $y(t)$  possa essere **recuperato** a partire da  $y_{\text{CAMP}}(t)$ ?

La risposta è data dal fondamentale **Teorema del campionamento** o **Teorema di Shannon**.

Detta  $f_{\text{MAX}}$  la frequenza della armonica di maggiore frequenza del segnale originale, il campionamento deve avvenire a **frequenza almeno doppia** di  $f_{\text{MAX}}$  ovvero:

$$f_{\text{CAMP}} > 2 \cdot f_{\text{MAX}}$$

Se questa condizione è verificata, il segnale originale può essere **ricostruito** senza ambiguità, attraverso un processo di interpolazione.

A questo punto nasce un interrogativo: come è possibile interpolare in modo univoco due punti di un'onda, senza conoscere l'onda originaria?

È molto arduo dare una risposta rimanendo in un ambito temporale, una risposta rigorosa e matematicamente dimostrata è possibile solo nel dominio delle frequenze.

Possiamo però spiegarlo in modo intuitivo se consideriamo che qualsiasi segnale:

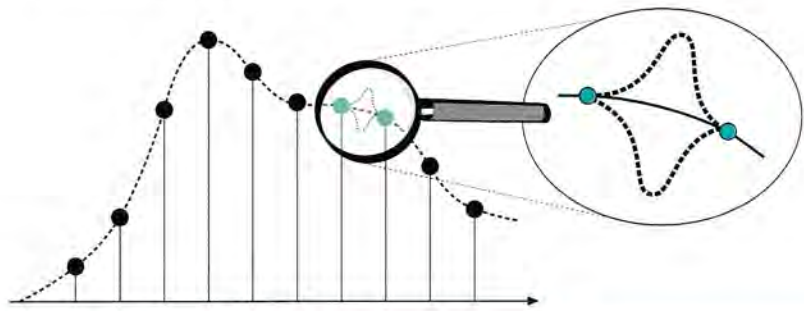
- è formato da componenti elementari dette armoniche;
- ha componenti armoniche differenti;
- contiene un numero ridotto di armoniche, se limitato in frequenza.

Da questo ultimo punto discende come descritto in figura che, dato un segnale con armonica di frequenza massima  $f_{\text{MAX}}$ , tra due campioni:

- non possono essere ricostruite infinite curve di interpolazione;
- si dimostra anzi che passa un solo profilo di interpolazione, se è rispettato il teorema di Shannon.

## Teorema del campionamento





## ESEMPIO 5

## Ricostruzione di una parola

Tentiamo di chiarire il senso di quanto spiegato considerando di dover ricostruire una parola a partire da \_UCINA. Possiamo istituire il seguente parallelo:

- armoniche → lettere iniziali;
- tutte le armoniche → F, C, L;
- armoniche possibili → quelle prima della lettera E.

Le parole possibili sono tre, ma se noi aggiungiamo come suggerimento che le armoniche possibili sono limitate a quelle che precedono la lettera E, l'unica armonica/lettera possibile è la C, la sola parola possibile si riduce a CUCINA.

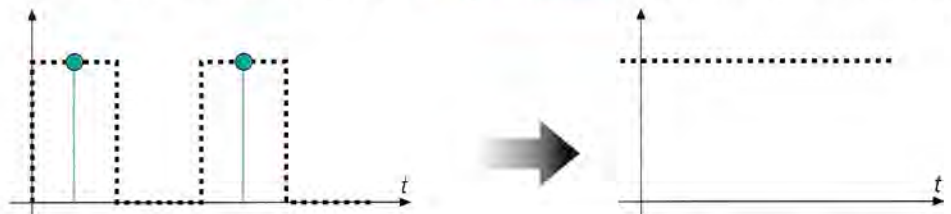
_UCINA	→	FUCINA	
	→	CUCINA	→ <E → CUCINA
	→	LUCINA	

## Equivocazione o aliasing

Se non è rispettato il Teorema di Shannon il segnale ricostruito a partire da  $y_{\text{CAMP}}$  non è quello reale, bensì è distorto.

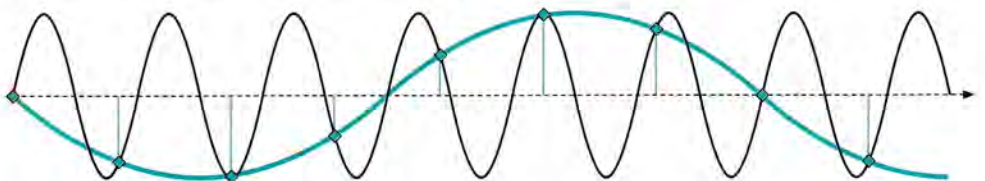
Un esempio palese è rappresentato in figura; come si vede:

- l'onda quadra unipolare viene campionata solo in corrispondenza degli '1';
- se si tenta di ricostruire il segnale, si ha **equivocazione** e il segnale risultante è continuo.



Nel successivo esempio una sinusoide viene campionata con una  $f_{\text{CAMP}}$  poco superiore alla frequenza da campionare. Il segnale ricostruito è una sinusoide equivocata di bassa frequenza.

Per esempio con  $f_{\text{CAMP}} = 1750$  Hz la frequenza  $f = 1500$  Hz risulta una frequenza equivocata bassa di  $1750 - 1500 = 250$  Hz.



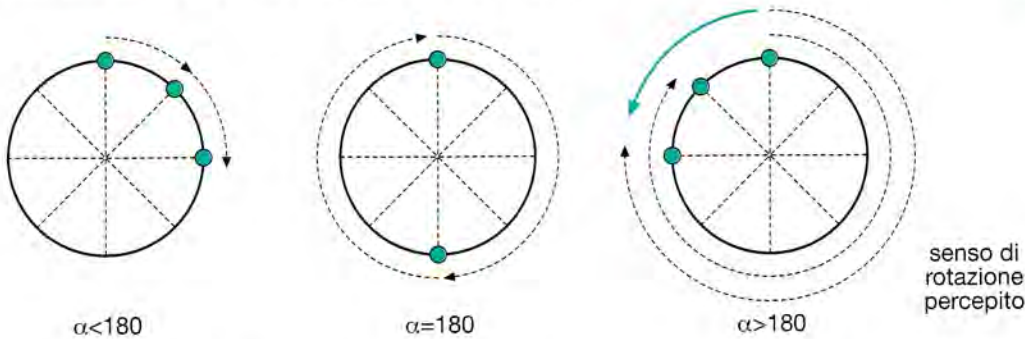
Quotidianamente ci imbattiamo in situazioni di equivocazione, che si manifestano soprattutto a livello visivo, come:

- se osserviamo alla televisione un televisore, l'immagine ha delle aberrazioni, perché la discretizzazione dell'immagine (50 quadri/secondo) risulta moltiplicata;

- se osserviamo le pale di un elicottero direttamente con i nostri occhi, possiamo vederle ruotare al contrario; questo avviene perché il nostro cervello ha tempi di latenza e di elaborazione, quindi coglie solo delle istantanee della realtà, ovvero campiona le immagini.

### Equivocazione del senso di rotazione di una sfera

ESEMPIO 6



Supponiamo di cogliere delle istantanee di una sfera in rotazione su una circonferenza. Indichiamo con:

- $f_s$  la velocità della sfera espressa come una frequenza di rotazione in **rotazioni/secondo**;
- $f_{\text{CAMP}}$  la frequenza di campionamento espressa in **istantanee/secondo**.

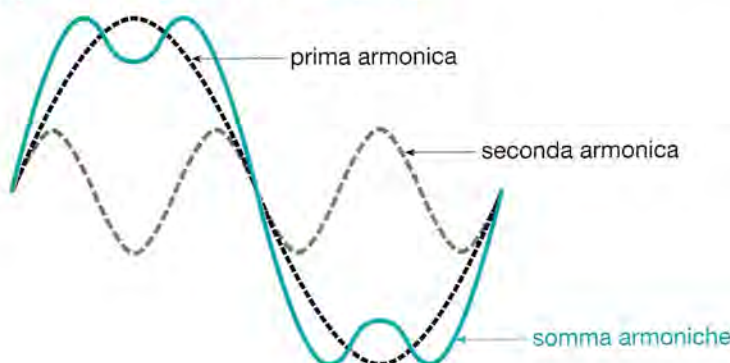
Si possono individuare tre casi notevoli, descritti dalle tre figure.

1. Figura a sinistra:
  - vengono catturate **otto** istantanee a giro  $f_{\text{CAMP}} = 8$ ;
  - $f_{\text{CAMP}}$  è maggiore del doppio della frequenza di rotazione della sfera  $f_{\text{CAMP}} = 8 f_s$ ;
  - **è rispettato** il teorema di Shannon;
  - la mente umana **ricostruisce** la direzione di rotazione reale oraria.
2. Figura al centro:
  - vengono catturate **due** istantanee a giro  $f_{\text{CAMP}} = 2$ ;
  - $f_{\text{CAMP}}$  è esattamente pari al doppio della frequenza di rotazione della sfera  $f_{\text{CAMP}} = 2 f_s$ ;
  - **è rispettato al limite** il teorema di Shannon;
  - non è possibile **discriminare** la direzione di rotazione; si vedono due sfere ferme.
3. Figura a destra:
  - vengono catturate **meno di due** istantanee a giro  $f_{\text{CAMP}} < 2$ ;
  - $f_{\text{CAMP}}$  è minore del doppio della frequenza di rotazione della sfera  $f_{\text{CAMP}} < 2 f_s$ ;
  - **non è rispettato** il teorema di Shannon;
  - la mente umana **equivoca** e percepisce una rotazione in senso antiorario.

## 4.4 Analisi spettrale

La **sinusoide** è il “mattoncino” fondamentale dei segnali, come l’atomo lo è della materia. Un qualsiasi segnale **periodico** può essere scomposto in una somma di sinusoidi di diversa **frequenza** e **ampiezza**, dette **armoniche**.

**Armoniche  
e spettro**





Si definisce **spettro** di un segnale una sua rappresentazione che mette in evidenza:

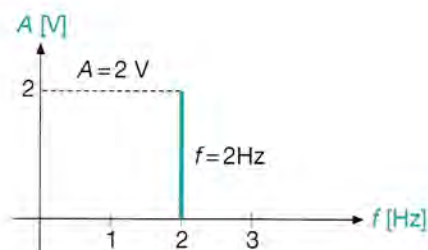
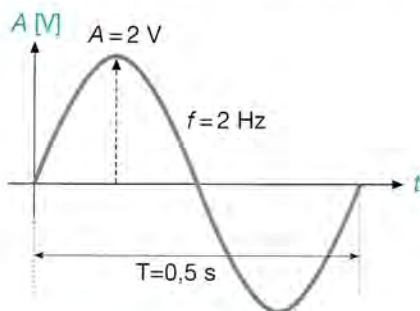
- la **frequenza** delle sue armoniche;
- la **ampiezza** delle sue armoniche.

Nel caso di un segnale sinusoidale lo spettro è una **riga** semplice:

- collocata alla frequenza della sinusoide;
- di altezza pari alla ampiezza della sinusoide stessa.

Nella seguente figura una sinusoide di periodo  $T = 0,5$  s e ampiezza 2 V è descritta da una riga spettrale:

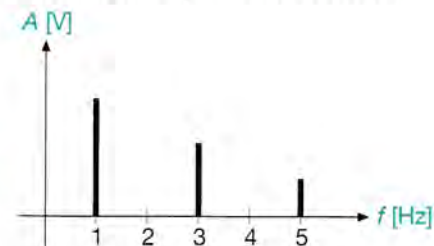
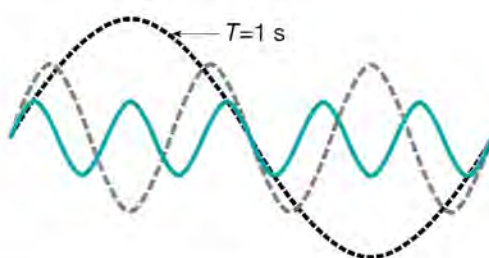
- alta 2 V;
- posizionata alla frequenza 2 Hz.



#### ESEMPIO 7

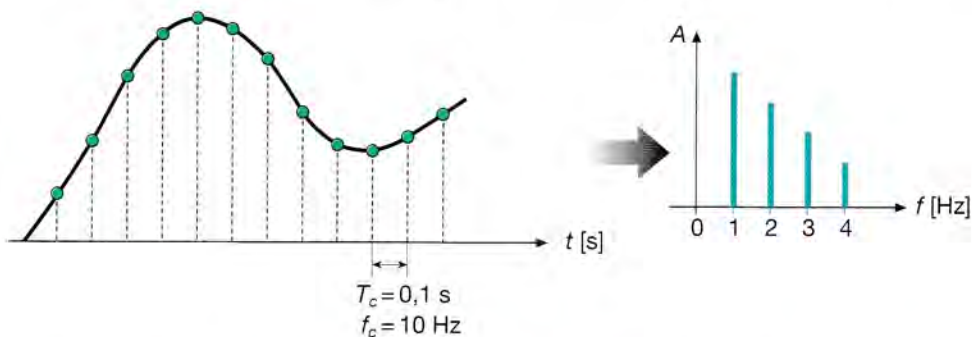
#### Righe spettrali

Le seguenti tre armoniche sono rappresentate da uno spettro con le righe di 1 Hz, 3 Hz, 5 Hz.

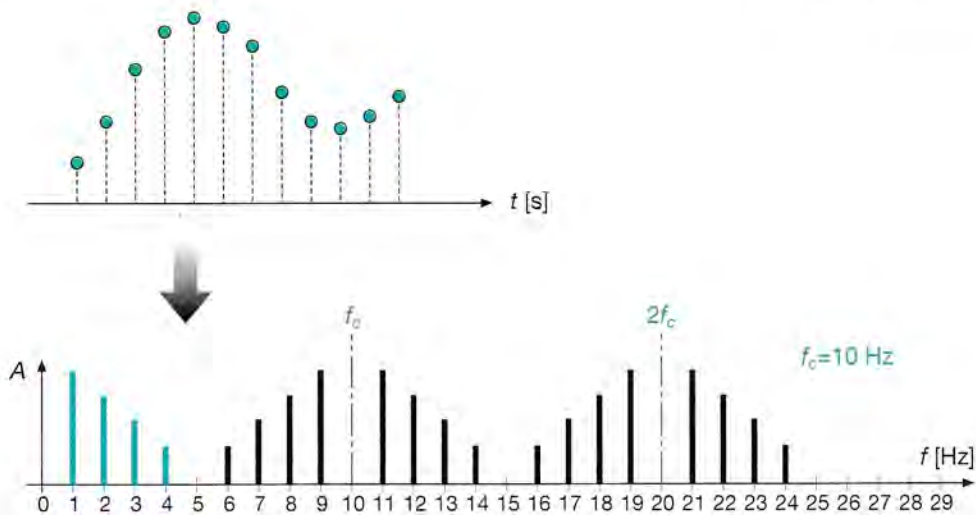


#### Spettro di un segnale campionato

Consideriamo un segnale analogico con un dato spettro formato da alcune righe, come per esempio quello rappresentato in figura:

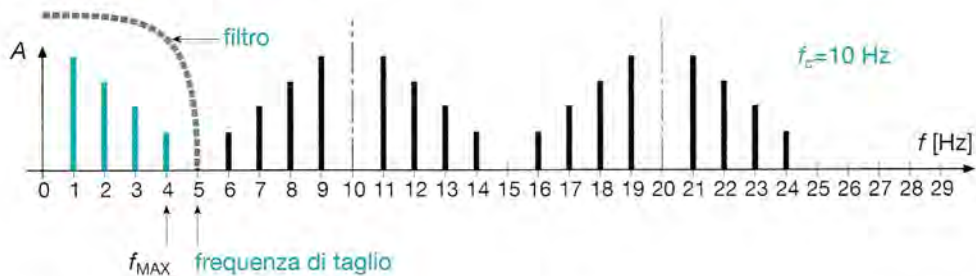


Si dimostra che lo **spettro del segnale campionato** è una **replica speculare attorno alla frequenza di campionamento  $f_c$**  e ai suoi multipli  $2f_c, 3f_c, \dots$  come descritto in figura:



È possibile **ricostruire** il segnale **originale** a partire da quello **campionato** applicando a questo ultimo un **filtro passa basso** che **sbarri le armoniche** non presenti nel segnale originario, come in figura. Il filtro deve essere dimensionato con **frequenza di taglio** di poco superiore alla armonica di massima frequenza  $f_{MAX}$  e possibilmente deve essere di alto **ordine**, per la precisione del taglio.

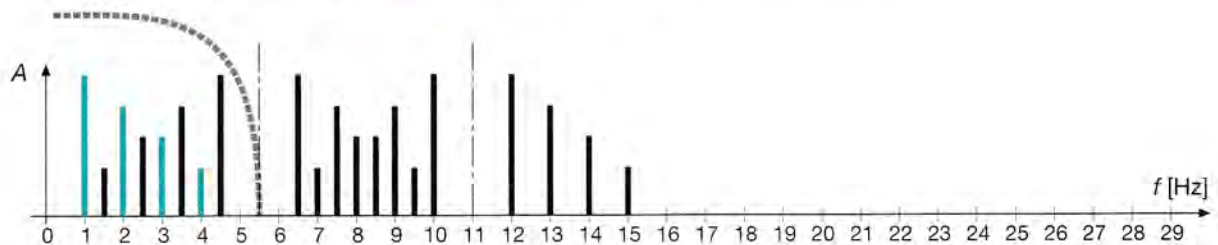
**Ricostruzione e aliasing**



Se non è soddisfatto il teorema di Shannon, che prescrive che la frequenza di campionamento debba essere maggiore del doppio della massima frequenza del segnale, si determina **aliasing**, ovvero il segnale **non viene ricostruito fedelmente**.

Nella figura seguente è rappresentato il campionamento di un segnale avente  $f_{MAX} = 4$  Hz con  $f_c = 5,5$  Hz.

Si vede che, nella regione selezionata dal filtro, a fianco delle armoniche corrette (in colore) compaiono delle armoniche "fantasma", che non appartengono al segnale originario e determinano l'**equivocazione** della sua forma.





# Campionamento

## Campionamento

### Definizione

Campionare un segnale  $y(t)$  significa prelevare suoi campioni a intervalli regolari.

### Periodo e frequenza di campionamento

**Periodo di campionamento**  $T_{\text{CAMP}}$ : intervallo temporale tra due campioni adiacenti  
**Frequenza di campionamento**  $f_{\text{CAMP}}$ : numero di campioni prelevati al secondo:  
 $1 / T_{\text{CAMP}}$ .

### Frequenza di campionamento e capacità di memoria

La memoria occupata è proporzionale al numero di campioni, ma dipende anche dal numero di bit scelto per la digitalizzazione.

### Teorema di Shannon

Detta  $f_{\text{MAX}}$  la frequenza della armonica di maggiore frequenza, il campionamento deve avvenire a **frequenza almeno doppia** di  $f_{\text{MAX}}$  ovvero:  $f_{\text{CAMP}} > 2 \times f_{\text{MAX}}$ .  
Se questa condizione è verificata, il segnale originale può essere **ricostruito** senza ambiguità, attraverso un processo di interpolazione.

### Aliasing

Se non è rispettato il Teorema di Shannon il segnale ricostruito a partire da  $y_{\text{CAMP}}$  non è quello reale, bensì è distorto.  
Quotidianamente ci imbattiamo in situazioni di equivocazione, che si manifestano soprattutto a livello visivo.

### Esempi di aliasing

Se si osserva alla televisione un televisore, l'immagine ha delle aberrazioni, perché la discretizzazione dell'immagine (50 quadri/secondo) risulta moltiplicata.

Se si osservano le pale di un elicottero, accade di vederle ruotare al contrario; questo avviene perché il cervello ha tempi di latenza e di elaborazione, quindi coglie solo delle istantanee della realtà, pertanto campiona le immagini.

# Test di verifica

 Area *digitale*

## Quesiti a scelta multipla

**1** Indicare le frasi corrette. (2 risposte esatte)

Per una sinusoide a frequenza 1 kHz, campionata con una frequenza di campionamento pari a 10 volte quella di Shannon, quanto vale il periodo di campionamento? (2 risposte esatte)

- ☐ a 50 ms.
- ☐ b  $0,05 \cdot 10^{-3}$  s.
- ☐ c  $20 \cdot 10^3$  s.
- ☐ d Un ventesimo del periodo della sinusoide.

**2** Indicare le frasi corrette. (2 risposte esatte)

Per non avere aliasing il campionamento di una sinusoide deve essere effettuato con una frequenza di campionamento:

- ☐ a di più di due campioni a periodo.
- ☐ b maggiore del doppio della frequenza della sinusoide.
- ☐ c metà della frequenza della sinusoide.
- ☐ d pari alla frequenza della sinusoide.

**3** Indicare le frasi corrette. (2 risposte esatte)

Lo spettro della sinusoide  $v(t) = 8 \sin(6,28t)$  è una riga:

- ☐ a di ampiezza 6,28.
- ☐ b collocata alla frequenza 1 Hz.
- ☐ c collocata alla frequenza della seconda armonica.
- ☐ d alta 8.

**4** Indicare le frasi corrette. (1 risposta esatta)

Sia dato un segnale composto da una sola armonica (sinusoide) di frequenza 1 kHz. Qualora esso venga campionato alla frequenza  $f_C = 3$  kHz, a quali frequenze si attestano le prime 7 armoniche del segnale campionato?

- ☐ a 1, 3, 5, 7, 9, 11, 13 kHz
- ☐ b 1, 2, 4, 5, 7, 8, 10 kHz
- ☐ c Tutte alla frequenza 3 kHz
- ☐ d 1, 3, 4, 6, 7, 9, 10 kHz

**5** Indicare le frasi corrette. (1 risposta esatta)

Sia dato un segnale composto dalle sole armoniche di frequenza 1 kHz e 2 kHz. Qualora esso venga campionato alla frequenza  $f_C = 5$  kHz, a quali frequenze si attestano le prime 7 armoniche del segnale campionato?

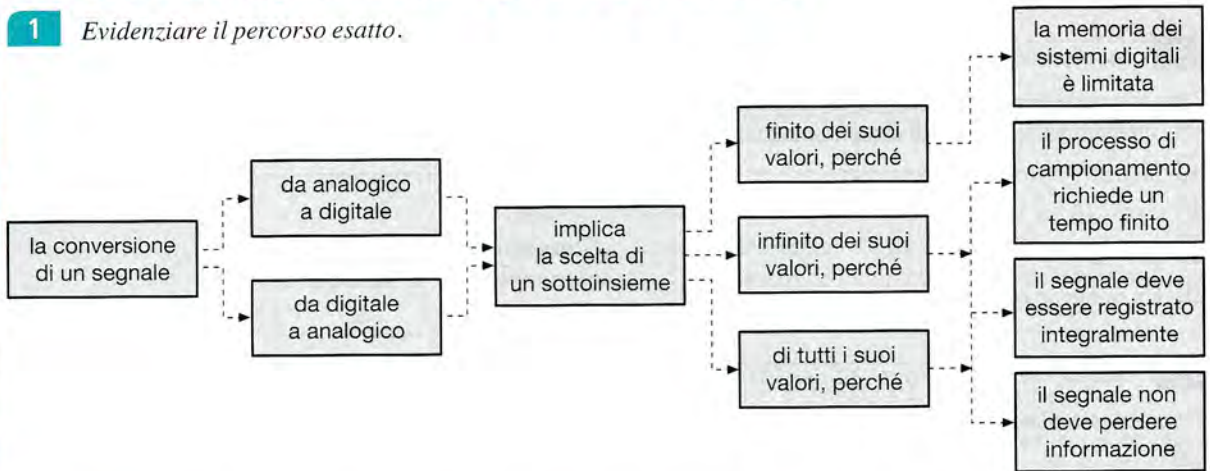
- ☐ a 1, 3, 5, 7, 9, 11, 13 kHz
- ☐ b 1, 2, 3, 4, 6, 7, 8 kHz
- ☐ c Tutte alla frequenza 5 kHz
- ☐ d 1, 3, 4, 6, 7, 9, 10 kHz



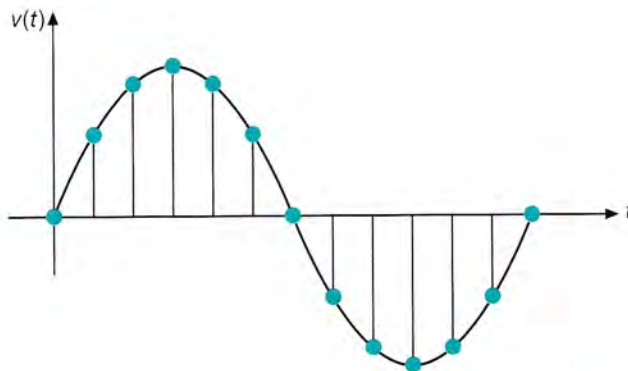
## Esercizi di verifica

## 4.1 Cosa è il campionamento e perché è necessario

**1** Evidenziare il percorso esatto.



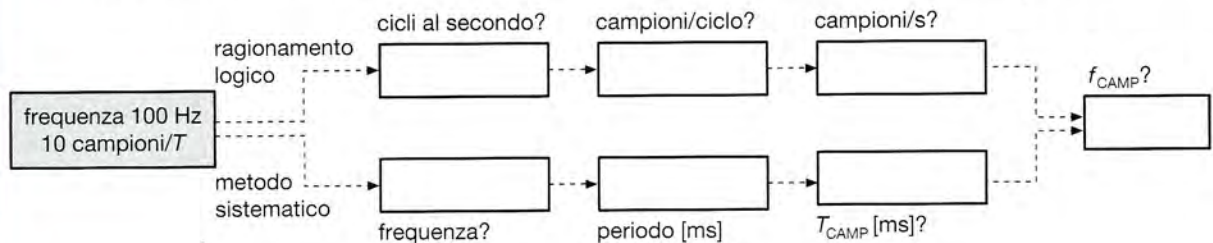
**2** *Compilare la tabella dei campioni della sinusoide in figura di frequenza  $f = 1$  kHz e ampiezza unitaria.*

[illegible]

## 4.2 Frequenza di campionamento e capacità di memoria

### Frequenza di campionamento

**3** Si supponga che una sinusoide di frequenza  $0,1 \text{ kHz}$  venga campionata con 10 campioni per periodo. Quanto vale la frequenza di campionamento? Si può pervenire alla soluzione in due modi, mediante un ragionamento logico o mediante un metodo sistematico. Completare lo schema e, aiutandosi con esso, descrivere i due metodi.



## Capacità di memoria

- 4** Noto che la frequenza di campionamento di un segnale da incidere in un CD musicale è stabilita a circa 44 kHz e noto che a ogni campione vengono assegnati 32 bit, calcolare la capacità che deve avere il CD per poter registrare 74 minuti di brani musicali.

44 kHz equivale a dire  campioni al secondo.

In un minuto il numero di campioni è:   $\times$   =  =  $2,64 \times 10^6$

Ogni campione viene codificato con 16 bit (2 byte); inoltre, essendo il suono stereo, questo dato deve essere raddoppiato:

$$\text{byte/minuto} = \text{input} \times \text{input} = 10,56 \text{ Mbyte}$$

In 74 minuti:

$$\text{capienza CD} = 10,56 \times 10^6 \times \text{input} \approx 780 \text{ Mbyte}$$

Solitamente le specifiche dei CD dichiarano 680 Mbyte corrispondenti a 74 minuti di musica. Sembra quindi esserci una discrepanza con il risultato da noi ottenuto. Si tenga conto che il valore di 680 Mbyte si riferisce alla registrazione di dati, che è più delicata di quella musicale, richiedendo bit ridondanti in più per il controllo degli errori. I Mbyte dichiarati sono quelli netti, tolta la quota riservata al controllo degli errori, che nel caso della registrazione musicale non viene spesa.

## 4.3 Teorema del campionamento e aliasing

### Teorema del campionamento

- 5** Scrivere l'espressione matematica di una senoide campionata al limite del teorema di Shannon con  $T_{\text{CAMP}} = 0,2 \mu\text{s}$  e  $V_{\text{max}} = 5 \text{ V}$ .

La frequenza di campionamento vale:

$$f_{\text{CAMP}} = 1/T_{\text{CAMP}} = \text{input} \text{ MHz}$$

e ne segue che frequenza e pulsazione della senoide risultano rispettivamente:

$$f_{\text{SIN}} = (1/2) \cdot f_{\text{CAMP}} = \text{input} \text{ MHz}; \quad \omega = 2\pi f = \text{input} \text{ rad/s}$$

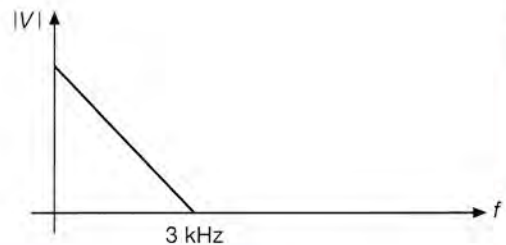
Dunque l'espressione è:

$$v(t) = \text{input} \cdot \sin(15,7 \cdot 10^6 \cdot t)$$

## 4.4 Analisi spettrale

### Spettro di un segnale campionato

- 6** Sia dato un segnale il cui spettro sia rappresentato dalla figura seguente. Si completi la tabella seguente (in colonna è specificato il numero della replica e sulla riga la posizione della frequenza), supponendo di campionare il segnale alla frequenza di campionamento  $f_{\text{CAMP}} = 2f_{\text{MAX}}$ .

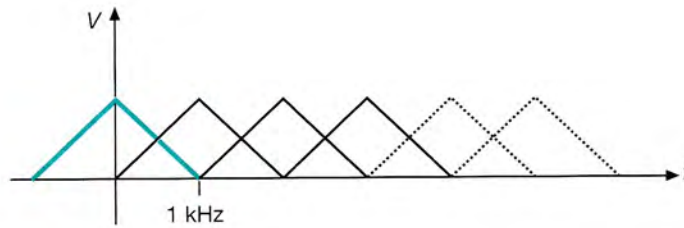


frequenze		numero di replica				
		0	1°	2°	3°	4°
	freq. inferiore	//	3			
	freq. superiore	3	9			
	freq. centrale	0	6			

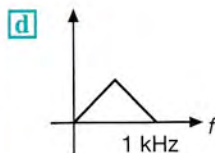
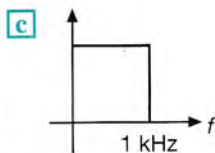
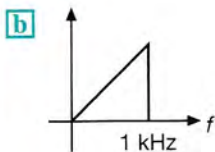
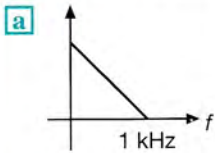


## Ricostruzione e aliasing

7 Osservare la figura sottostante e rispondere:



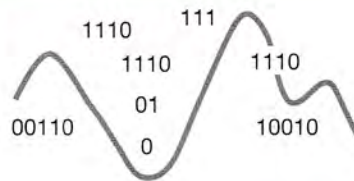
La figura descrive lo spettro di un segnale campionato; il segnale da campionare è indicato in colore. Esiste equivocazione? Inviando il segnale a un filtro di ricostruzione passa basso di frequenza 1 kHz, quale forma assume lo spettro del segnale ricostruito?



# Conversione analogico-digitale

# A5

La conversione analogico-digitale è il processo alla base della digitalizzazione del segnale. Il suono di uno strumento può essere registrato da un microfono analogico, convertito in digitale e inciso su CD.



## 5.1 Schema, funzionalità e caratteristica dell'ADC

Un **Convertitore Analogico Digitale ADC (Analog to Digital Converter)** è un processore elettronico che converte un'onda continua di tensione, come quella prodotta dalla voce umana attraverso un microfono, in una serie discreta di valori digitali.

In figura è rappresentato, a titolo di esempio, il simbolo di un ADC dotato di:

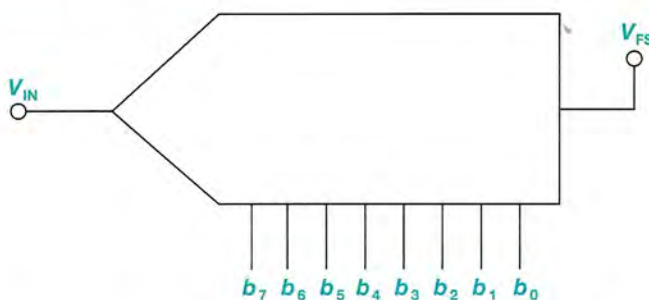
- ingresso analogico di tensione  $V_{IN}$ ;
- otto uscite digitali  $b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$  che nell'insieme costituiscono un numero  $N$ ;
- tensione di **fondo scala**  $V_{FS}$ .

Schema e funzionalità ADC



Area *digitale*

ADC ad anello



La tensione di fondo scala  $V_{FS}$  chiamata anche  $V_{REF}$  (tensione di riferimento) serve a stabilire la massima tensione accettata dall'ADC, alla quale corrisponde il valore digitale massimo  $N_{MAX}$  in uscita.

$V_{FS}$  viene infatti impostata in fase progettuale in funzione delle specifiche di progetto in modo che:

- l'intervallo di variabilità di  $V_{IN}$  vada da 0 a  $V_{FS}$ ;
- in proporzione l'intervallo di uscita sia compreso tra  $N = 0$  e  $N = N_{MAX}$ .

Se per esempio  $V_{FS} = 5\text{ V}$  e i bit di uscita sono 8 si ha:

- una variazione proporzionale di  $V_{IN}$  da 0 a  $V_{FS}$ ;
- una corrispondente variazione del valore digitale da  $N = 0$  a  $N = 255$ .



Gli integrati diffusi in commercio presentano di solito due tensioni di riferimento:

- una positiva  $V_{REF+}$ ;
- una negativa  $V_{REF-}$ .

per impostare un intervallo di variabilità  $V_{REF-} < V_{IN} < V_{REF+}$ , nel caso  $V_{IN}$  assuma anche valori negativi.

### Quantizzazione

Nella conversione analogico-digitale gli infiniti valori che può assumere un segnale analogico devono necessariamente essere ricondotti a un insieme discreto di valori digitali.

Questo processo, che prende il nome di **quantizzazione**, prevede le seguenti fasi:

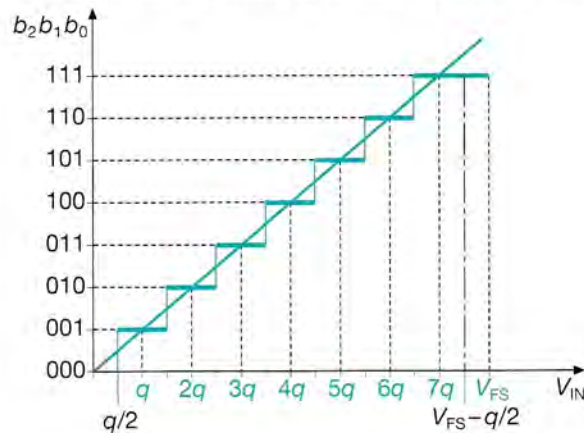
- divisione del campo di variazione  $0 \div V_{FS}$  in un numero finito di **intervalli di quantizzazione**;
- identificazione dell'intervallo più prossimo a  $V_{IN}$ ;
- conversione di  $V_{IN}$  al valore digitale associato all'intervallo identificato.

La quantizzazione è descritta dalla **caratteristica di trasferimento** rappresentata dal grafico di figura, per il caso a tre bit. Osserviamo che:

- sull'ascissa è riportato  $V_{IN}$ ;
- sull'ordinata viene riportato il codice binario  $b_2b_1b_0$  associato a ogni intervallo di quantizzazione.

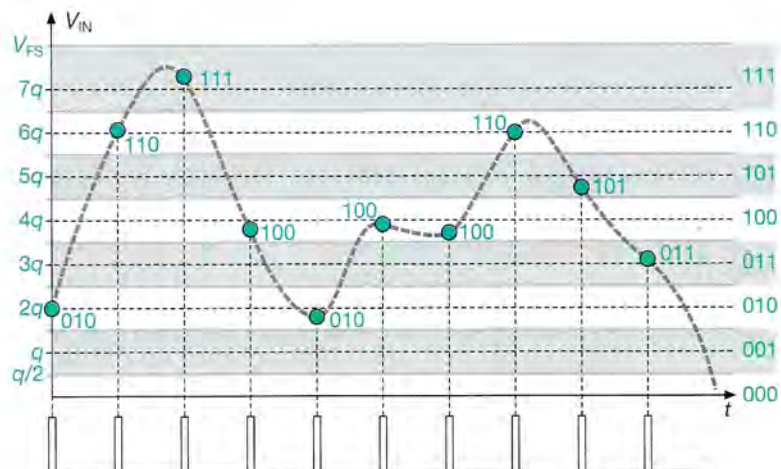
Inoltre:

- il campo di variazione  $0 \div V_{FS}$  è suddiviso in  $2^n = 2^3 = 8$  intervalli di quantizzazione;
- a questi sono associati 8 valori di codifica digitale, da  $b_2b_1b_0 = 000$  a  $b_2b_1b_0 = 111$ .



La figura seguente descrive la quantizzazione in un grafico temporale nel quale:

- l'ascissa è il tempo;
- l'ordinata è la  $V_{IN}$ .



Osserviamo che:

- il campo di variazione  $0 \div V_{FS}$  è suddiviso in 8 intervalli;
- il segnale è campionato a intervalli regolari in corrispondenza di un impulso di campionamento;
- a ciascun campione è associata la codifica digitale dell'intervallo di campionamento cui esso appartiene.

L'ampiezza di ciascun intervallo di quantizzazione è detta **passo di quantizzazione** o **quanto**.

Detto  $R$  il numero di bit (risoluzione), per determinare il quanto si deve dividere il campo di variazione  $0 \div V_{FS}$  per il numero  $2^R$  di intervalli di codifica esprimibili con  $R$  bit pertanto risulta:

$$q = \frac{V_{FS}}{2^R}$$

Aumentando il numero di bit  $R$  aumentano le fasce e la **risoluzione**, cosicché la perdita di informazione diventa influente ai fini pratici.

### Valore del quanto

#### ESEMPIO 1

Per un convertitore avente  $V_{FS} = 5,12$  V e  $R = 8$  bit, calcolare il quanto  $q$ .  
Si ottiene:

$$q = V_{FS}/2^R = V_{FS}/2^8 = 5,12/256 = 0,02 = 20 \text{ mV}$$

## 5.2 Tempo di conversione

Il processo di conversione analogico-digitale si sviluppa in un tempo di conversione  $T_{CONV}$  legato al numero di bit  $R$ , al tipo di procedimento di conversione e alle caratteristiche tecnologiche del dispositivo.

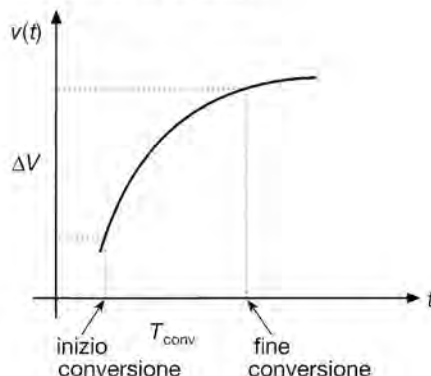
Perché la conversione abbia luogo con successo deve essere assicurata la condizione  $T_{CONV} < T_{CAMP}$ .

La conversione deve avere luogo infatti con un ritmo superiore a quello del campionamento, in modo che nel tempo di attesa tra l'arrivo di un campione e il successivo, il convertitore possa espletare il suo compito.

Tuttavia questo, che sembrerebbe non solo il requisito minimo ma anche l'unico, non è una condizione sufficiente per una corretta conversione.

Dobbiamo tenere conto che nel corso della conversione il segnale varia, come descritto dalla figura dove:

- tra l'istante inizio conversione e l'istante fine conversione trascorre un intervallo  $T_{CONV}$ ;
- in questo intervallo la tensione varia di  $\Delta V$ .



Requisiti  
temporali



Questa variazione può disturbare l'azione del convertitore e causare un errore di conversione.

Per contenere l'errore di conversione entro il valore fisiologico del bit meno significativo LSB, la variazione che il segnale subisce durante la conversione deve rimanere confinata entro il quanto, in formula:

$$\Delta V < q$$

A parità di tempo di conversione  $T_{\text{CONV}}$  la condizione ora espressa è tanto più difficile da assicurare:

- quanto maggiore è la velocità di variazione del segnale da convertire;
- ovvero quanto maggiore è la sua frequenza.

Nel caso la condizione non sia assicurata si ricorre a un modulo Sample & Hold il quale:

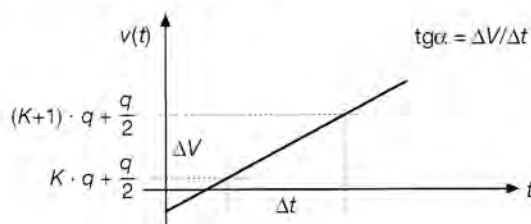
- campiona (sample = campiona) il segnale nell'istante di inizio conversione;
- mantiene costante (hold = mantieni) il valore campionato per la durata della conversione.

### ESEMPIO 2

#### Conversione di un segnale linearmente crescente nel tempo

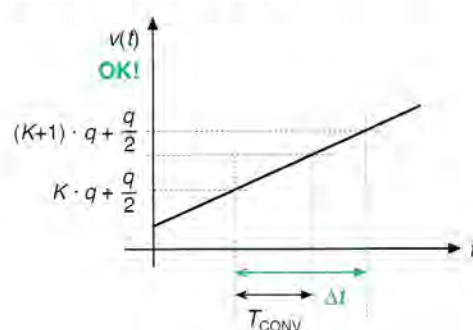
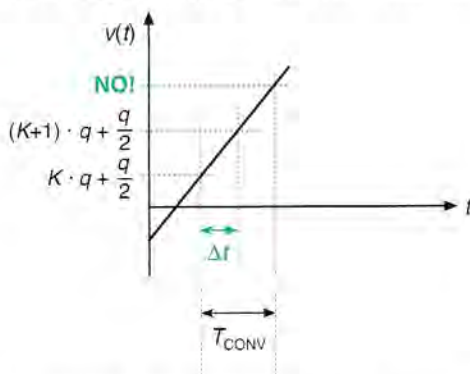
Supponiamo, per semplicità, di dover convertire un segnale crescente linearmente nel tempo. Sia nota l'angolazione  $\alpha$  della retta, ovvero il suo coefficiente angolare  $\text{tg}\alpha$ .

Evidenziamo, per focalizzare il concetto, due punti corrispondenti a due livelli quantici adiacenti. Essi sono separati, relativamente all'asse temporale (ascissa), dall'intervallo  $\Delta t$  e, relativamente all'asse della tensione (ordinata), dall'intervallo  $\Delta V$ .



Si considerino ora due possibili andamenti del segnale linearmente crescente: quello a sinistra con velocità di variazione maggiore di quello a destra. In colore è evidenziato l'intervallo di tempo  $\Delta t$  che separa due livelli quantici, in nero il tempo di conversione.

Si osserva che nel caso del segnale con variazione veloce, il convertitore non ha la possibilità di "inseguire" le variazioni del segnale: nell'intervallo di tempo  $T_{\text{CONV}}$  il segnale varia di un intervallo maggiore di  $q$ , quindi la conversione viene portata a termine con un errore.



Nel secondo caso il convertitore ha invece tutto il tempo per perfezionare la conversione, perché nell'intervallo di conversione il segnale rimane all'interno dell'intervallo quantico opportuno. Quanto detto porta a concludere che, affinché la conversione abbia luogo senza errori, è necessario che, entro l'intervallo  $T_{\text{CONV}}$ , la variazione corrispondente di tensione  $\text{tg}\alpha \cdot T_{\text{CONV}}$  sia inferiore a  $q$ ; in formula:  $\text{tg}\alpha \cdot T_{\text{CONV}} < q$ . Noto  $q$ , il valore massimo ammissibile per  $T_{\text{CONV}}$  sarà dunque  $T_{\text{CONV}(\text{max})} = q/\text{tg}\alpha$ .

### Calcolo del massimo tempo di conversione

**ESEMPIO 3**

Si consideri un segnale linearmente crescente, descritto da una retta a  $45^\circ$ . Calcolare il valore del tempo di conversione massimo, che garantisca l'assenza di errori, per un convertitore a 8 bit con  $V_{FS} = 10$  V.

Il quanto vale:  $q = V_{FS}/2^R = 10/256 = 0,039$ .

In ragione di quanto dimostrato nel precedente esempio si ha:

$$T_{CONV(max)} = q/tg\alpha \Rightarrow T_{CONV(max)} = 0,039/tg45^\circ = 39 \text{ ms}$$

Un caso notevole è quello del segnale sinusoidale. Questo segnale riveste una particolare importanza, perché parte costituente di un qualsiasi segnale, periodico e non periodico. La pendenza  $tg\alpha = \Delta V/\Delta t$  in questo caso varia. Si tratta del tipico caso della ricerca del **caso peggiore**, ovvero dove si colloca il **massimo tasso di variazione**. Il caso peggiore corrisponde, come si può intuire, al punto di maggiore velocità di variazione del segnale. Nel caso della sinusoide questo punto è il punto di partenza, quello corrispondente all'istante 0.

La pendenza  $tg\alpha$  si può determinare, come in figura, calcolando la derivata della sinusoide e imponendo  $t = 0$ .

**Conversione  
sinusoide**


Visto che è  $v(t) = A \sin \omega t$ , derivando si ottiene:

$$dv(t)/dt = \omega A \cos \omega t$$

e, per  $t = 0$ , il risultato è:

$$\left. \frac{dv(t)}{dt} \right|_{t=0} = \omega A \cos 0 = \omega A$$

L'angolo d'inclinazione della tangente alla curva nell'origine vale cioè:

$$tg\alpha = \omega A$$

Nell'intervallo di conversione la variazione della tensione  $\Delta V$  deve mantenersi entro il limite di un quanto  $q$ . Se assimiliamo il primo tratto della sinusoide a una retta di pendenza  $\alpha$ , possiamo facilmente calcolare tale variazione (il risultato è naturalmente approssimato ma non è un problema, perché con questo metodo la variazione è sovrastimata e quindi l'effetto è solo di introdurre un margine di sicurezza):

$$\Delta V = tg\alpha \cdot T_{CONV} = \omega A T_{CONV}$$

In conclusione deve essere:

$$\omega A T_{CONV} < q$$

Questa formula può essere utilizzata in molti modi. Tipicamente si presenta la necessità di calcolare la **frequenza massima** che può avere una sinusoide affinché possa esse-



re campionata senza che si verifichi l'errore di conversione. Isolando la pulsazione nella formula sopra si ottiene allora:

$$\omega < q / AT_{\text{CONV}}$$

Se si preferisce ragionare in termini di frequenza, anziché di pulsazione, basta sostituire la ben nota formula di conversione  $\omega = 2\pi f$  ottenendo:

$$f < q / 2\pi AT_{\text{CONV}}$$

Esprimendo inoltre il quanto in funzione del valore di fondo scala si ricava:

$$f < V_{\text{FS}} / 2^R 2\pi AT_{\text{CONV}}$$

#### ESEMPIO 4

#### Calcolo della frequenza massima della sinusoide digitalizzata

Sia dato un ADC a 8 bit con  $V_{\text{FS}} = 10 \text{ V}$ . Se il periodo di campionamento vale 1 ms, qual è la massima frequenza della sinusoide affinché la variazione subita dal segnale rientri nel limite ammissibile? Si supponga che la sinusoide abbia ampiezza 10 V.

Il quanto vale:  $q = V_{\text{FS}} / 2^R = 10 / 256 = 0,039 \text{ V}$

Applicando la formula:  $f < q / 2\pi AT_{\text{CONV}}$  risulta:

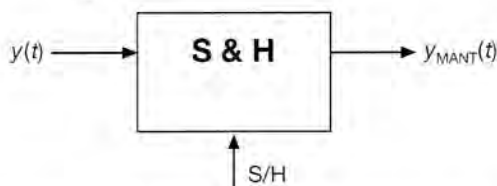
$$f < 0,039 / 6,28 \cdot 10 \cdot 10^{-6} = 39 \cdot 10^{-3} / 6,28 \cdot 10^{-5} = 6,21 \cdot 10^2 = 621 \text{ Hz}$$

Analizzando più da vicino la formula  $f < V_{\text{FS}} / 2^R 2\pi AT_{\text{CONV}}$ , si può osservare che la limitazione è tanto più pesante quanto maggiore è  $A$ . Ciò si può desumere dal fatto che  $A$  si trova al denominatore, pertanto un suo aumento provoca la diminuzione dell'intera frazione quindi della  $f_{\text{MAX}}$ . Alla stessa conclusione si può pervenire per via intuitiva, basta riconoscere che, a parità di frequenza, all'aumentare dell'ampiezza aumenta la velocità di variazione della sinusoide.

#### Sample & Hold

Come già accennato, qualora non si riescano a contemperare velocità di variazione del segnale e tempo di conversione, cioè non sia possibile stabilire un compromesso tra questi elementi antitetici, è necessario intervenire artificiosamente sulla forma del segnale, forzandolo a rimanere costante nel corso della conversione.

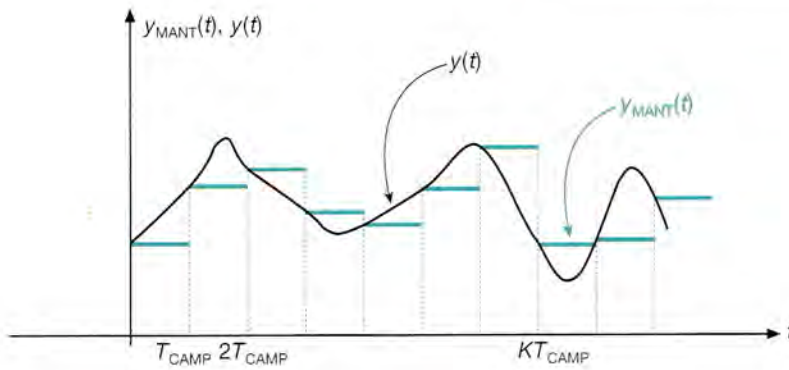
Il sistema che assolve a questo compito è il **campionatore/mantenitore**, comunemente noto con la dicitura inglese **Sample & Hold**, abbreviato **S & H**.



Il dispositivo Sample & Hold esplica la sua attività in due fasi, la fase di **campionamento** (sample) seguita da quella di **mantenimento** (hold). Nella fase di campionamento preleva i campioni della tensione analogica  $y(t)$  in istanti di tempo fra loro temporalmente distanti  $T_{\text{CAMP}}$ ; nella fase di mantenimento il dispositivo mantiene l'onda stabile al valore campionato.

Il risultato della sua azione è pertanto una forma d'onda  $y_{\text{MANT}}$  a gradini, disegnata in colore nella figura seguente, rappresentativa del segnale di partenza.

Le operazioni del modulo sono di solito comandate da un sistema di elaborazione, attraverso il terminale S/H. Il valore del terminale viene impostato dalla CPU a '1' oppure a '0', determinando se si è nella fase di campionamento o nella fase di mantenimento.

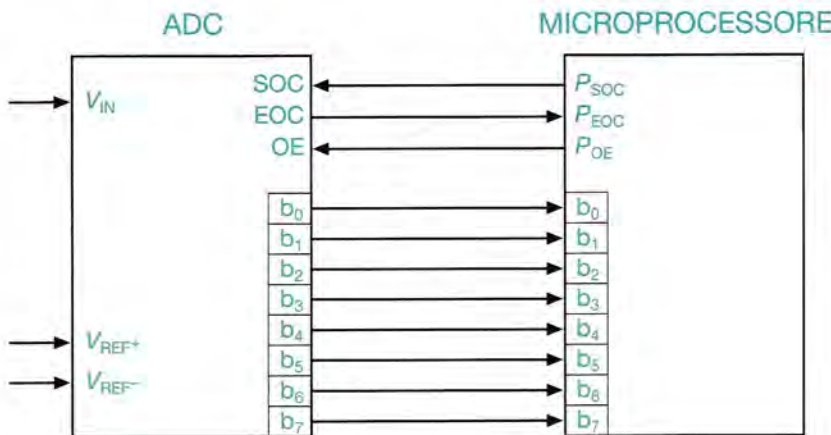


### 5.3 Interfacciamento tra ADC e microprocessore

Un convertitore analogico-digitale può essere gestito via software, inviandogli gli opportuni controlli e prelevando, dalle linee dati, il dato digitale convertito. È necessario per questo **interfaciare** il convertitore al sistema di elaborazione, realizzando un **collegamento fisico** (hardware) che sostanzialmente vede coinvolti i seguenti terminali:

- **SOC (Start Of Conversion = Inizio Conversione)**: gestito dal microprocessore, decreta l'inizio della conversione;
- **EOC (End Of Conversion = Fine Conversione)**: generato internamente all'ADC, notifica la fine della conversione;
- **OE (Output Enable = Abilitazione Uscite)**: comanda all'ADC di rendere fisicamente disponibili sulle sue uscite digitali il dato convertito;
- terminali  $P_{SOC}$ ,  $P_{EOC}$ ,  $P_{OE}$  lato microprocessore: bit di una qualsiasi porta di input/output;
- bit  $b_7 \div b_0$  per il trasferimento del dato convertito da ADC verso microprocessore.

Gestione hardware



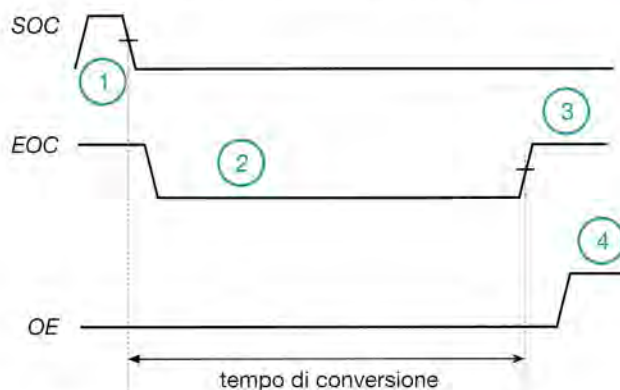
I tre segnali *SOC*, *EOC*, *OE* istituiscono un semplice ma essenziale protocollo di **sincronizzazione**.

Si deve sapere che il processo di conversione non è istantaneo, il convertitore stesso è, dal punto di vista logico, un piccolo elaboratore, con una microscopica intelligenza interna. La sincronizzazione è necessaria proprio per garantire che lo scambio dei dati tra ADC e microprocessore abbia luogo nel rispetto dei tempi di conversione.

Per comprendere come avvenga la sincronizzazione delle operazioni è opportuno rappresentare i segnali coinvolti in funzione del tempo, come descritto nel seguente **diagramma di tempificazione**:

Sincronizzazione





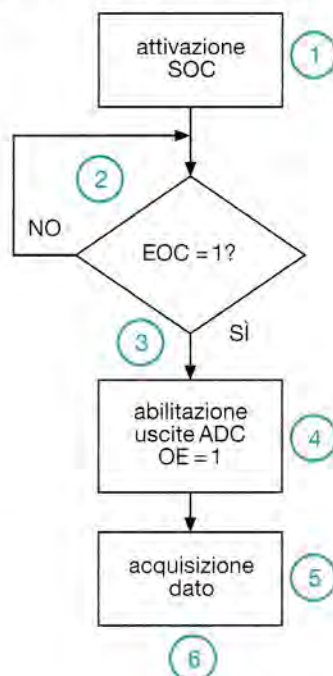
La sequenza delle operazioni è:

1. il microprocessore dà avvio alla conversione trasmettendo un impulso di inizio conversione *SOC* all'ADC; ricevuto questo comando l'ADC porta a livello basso la linea *EOC* e avvia il processo di conversione;
2. il livello basso di *EOC* notifica che la conversione è in atto, pertanto il microprocessore rimane in stato di attesa;
3. la conclusione della conversione viene notificata dal passaggio a livello alto della linea *EOC*;
4. a questo punto il microprocessore, sapendo che la conversione ha avuto termine, può portare alta la linea *OE* per leggere i dati digitali attraverso la propria porta di IO.

#### Gestione software

La sequenza delle operazioni di sincronizzazione descritta dal diagramma di flusso, che sovrintende alla generazione e al monitoraggio dei segnali, è la seguente:

1. il microprocessore genera l'impulso di attivazione *SOC*; per questo porta *SOC* a livello alto, lo mantiene per breve tempo e lo riporta basso;
2. interroga ciclicamente il livello di *EOC* per sondare se la conversione è in atto;
3. se *EOC* = 1 la conversione è terminata quindi esce dal ciclo;
4. pone *OE* = 1 per abilitare le uscite dell'ADC;
5. acquisisce il dato convertito;
6. eventualmente riavvia il processo per una nuova conversione.

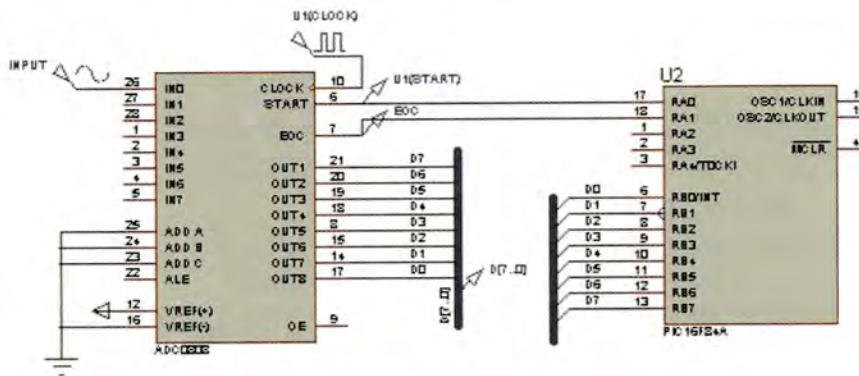


## ESEMPIO 5


## Interfacciamento ADC ↔ microcontrollore

1. Costruire lo schema di figura nel quale:

- gli ingressi di selezione dell'ADC 0808 *ADD A*, *ADD B*, *ADD C* sono posti a massa per la selezione di *IN0*;
- *VREF+* è posta uguale all'alimentazione;
- il clock è impostato a 1 kHz;
- l'ingresso analogico sinusoidale *INPUT* è impostato a  $f = 1$  Hz e ad  $A = 2,5$  V;
- le uscite digitali dell'ADC *OUT1* ÷ *OUT8* sono collegate agli ingressi digitali del PIC *RB7* ÷ *RB0*;
- *RA0* del PIC è collegato al *SOC UI(START)* del microcontrollore;
- *RA1* del PIC è collegato a *EOC* del microcontrollore;
- l'output enable *OE* è sempre abilitato.



2. Nel programma Proteus:

- selezionare l'icona **Graph Mode** ;
- scegliere **Mixed** e depositare il grafico misto analogico-digitale nello schema trascinando il mouse;
- fare click con il tasto destro del mouse e selezionare **Add Traces**;
- selezionare **Trace Type: Analog**;
- selezionare **Probe P1: INPUT** e premere OK;
- ripetere l'operazione selezionando **Trace Type: Digital** per aggiungere le tracce digitali.

3. Incorporare nel PIC il seguente programma, che comanda 15 conversioni in sequenza:

```
int i;
unsigned char CAMPIONI[15];
void main() {
    TRISA      =      0B00000010
    TRISB      =      0B11111111
    for (i=0; i<15; i=i+1)
    {
```



```
PORTA.F0=0;           ;genera segnale di SOC
PORTA.F0=1;           ;SOC=1
Delay_ms(10);         ;mantieni SOC alto
PORTA.F0=0;           ;riporta SOC basso
do
{
}
while(!PORTA.F1);      ;attendi EOC=0 fine conversione
CAMPIONI[i]=PORTB;     ;registra dato convertito in vettore
}
} //~
```

4. Avviare la simulazione premendo la **barra spaziatrice** e osservare:
  - gli impulsi *UI(START)*;
  - i corrispondenti impulsi *EOC* che durano pochissimo perché la conversione è continua;
  - i campioni *D[7..0]* del segnale *INPUT* convertito espressi in esadecimale.

# Conversione analogico-digitale

## Conversione analogico-digitale

### Definizione

Un **Convertitore Analogico Digitale ADC (Analog to Digital Converter)** converte un'onda continua di tensione, come quella prodotta dalla voce umana attraverso un microfono, in una serie discreta di valori digitali.

### Schema funzionale

Lo schema prevede tre elementi essenziali:

- ingresso analogico  $V_{IN}$ ;
- uscite digitali  $b_7b_6b_5b_4b_3b_2b_1b_0$ ;
- impostazione tensione di fondo scala  $V_{FS}$ .

### Quantizzazione

Nella conversione analogico digitale gli infiniti valori che può assumere un segnale analogico devono necessariamente essere ricondotti a un insieme discreto di valori digitali. Questo processo, che prende il nome di **quantizzazione**, prevede le seguenti fasi:

- divisione del campo di variazione  $0 \div V_{FS}$  in un numero finito di **intervalli di quantizzazione**;
- identificazione dell'intervallo più prossimo a  $V_{IN}$ ;
- conversione di  $V_{IN}$  al valore digitale associato all'intervallo identificato.

### Tempo di conversione

Il tempo di conversione  $T_{CONV}$  è funzione del numero di bit  $R$ , del tipo di procedimento di conversione e delle caratteristiche tecnologiche del convertitore.

Perché la conversione abbia luogo con successo devono essere assicurate due condizioni:

- $T_{CONV} < T_{CAMP}$  ovvero tempo di conversione minore dell'intervallo di campionamento, in modo che nel tempo di attesa tra l'arrivo di un campione e il successivo, il convertitore possa espletare il suo compito;
- $\Delta V < q$  ovvero variazione che il segnale subisce durante la conversione confinata entro il quanta, per garantire che il convertitore non riceva informazioni contraddittorie in corso d'opera.

### Interfacciamento tra ADC e microcontrollore

#### Protocollo di comunicazione

- **Start Of Conversion SOC**: segnale gestito dal microcontrollore, decreta l'inizio della conversione.
- **End Of Conversion EOC**: generato internamente all'ADC, notifica la fine della conversione.
- **Output Enable OE**: comanda all'ADC di rendere fisicamente disponibili sulle sue uscite digitali il dato convertito.

#### Dati scambiati

- Lato microprocessore: bit della porta di input – output.
- Lato ADC: bit di conversione  $b_7b_6b_5b_4b_3b_2b_1b_0$ .



# Test di verifica

Area *digitale*

## Quesiti a scelta multipla

**1** Indicare le frasi corrette. (2 risposte esatte)

Dato un ADC a 8 bit:

- ☐ a se  $V_{FS} = 10 \text{ V}$  e  $V_{IN} = 5 \text{ V}$  si ha  $N = 11111111$ .
- ☐ b se  $V_{REF+} = 5 \text{ V}$  e  $V_{REF-} = -5 \text{ V}$  per  $V_{IN} = 0$  si ha  $N = N_{MAX}/2$ .
- ☐ c  $b_7b_6b_5b_4b_3b_2b_1b_0 = 00000000$  se  $V_{IN} = 0$ ,  $V_{REF+} = 3 \text{ V}$  e  $V_{REF-} = -2 \text{ V}$ .
- ☐ d risulta  $N = N_{MAX}$  se  $b_7b_6b_5b_4b_3b_2b_1b_0 = 11111111$ .

**2** Quale tra le seguenti associazioni tra numero di livelli e risoluzione è corretta? (2 risposte esatte)

- ☐ a  $R = 1$       Livelli = 3
- ☐ b  $R = 2$       Livelli = 4
- ☐ c  $R = 8$       Livelli = 255
- ☐ d  $R = 4$       Livelli = 10

**3** Indicare le frasi corrette. (2 risposte esatte)

Per un ADC di risoluzione  $R = 8$  bit, il numero di intervalli in cui sarà diviso  $V_{FS}$  è:

- ☐ a  $2^8 - 1$
- ☐ b 64
- ☐ c  $2^8$
- ☐ d 256

**4** Indicare le frasi corrette (2 risposte esatte).

La massima velocità di variazione di una sinusoide si riscontra per:

- ☐ a  $t = A$
- ☐ b  $t = \text{tg}\alpha$
- ☐ c  $t = 0$
- ☐ d  $t = T/2$

**5** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a L'ingresso S/H è il segnale da campionare.
- ☐ b L'ingresso S/H può valere 0 oppure 1.
- ☐ c La fase di sample precede quella di hold.
- ☐ d  $y_{MANT}$  varia con continuità.

**6** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a I dati transitano dal microprocessore verso l'ADC.
- ☐ b Il segnale EOC è inviato dal microprocessore verso l'ADC.
- ☐ c Il segnale SOC è generato dal microprocessore.
- ☐ d Il segnale OE è generato dal microprocessore.

**7** Indicare le frasi corrette. (2 risposte esatte)

- ☐ a EOC precede SOC.
- ☐ b  $\text{EOC} = 0$  notifica la fine della conversione.
- ☐ c SOC è un impulso di breve durata.
- ☐ d SOC comanda l'inizio della conversione.

# Esercizi di verifica

## 5.1 Schema, funzionalità e caratteristica dell'ADC

### Quantizzazione

- 1 Completare la tabella, con riferimento a una serie di tre ADC aventi valore del quanto  $q = 10 \text{ mV}$  e tre diverse risoluzioni.

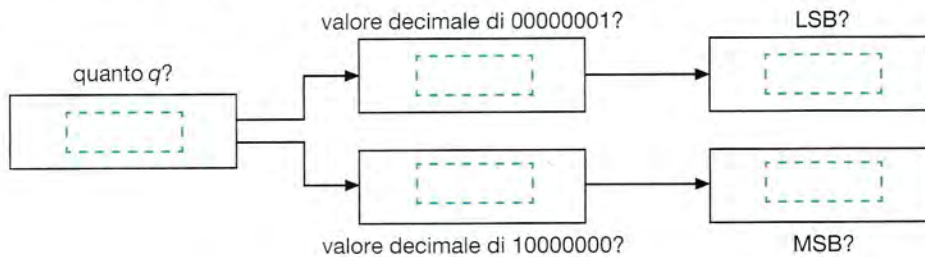
ADC	R	$V_{FS}$
ADC1	3	
ADC2	8	
ADC3	10	

- 2 Sia dato un ADC con  $V_{FS} = 10 \text{ V}$  e  $R = 4$ .

A quale valore dovrebbe essere aumentato  $R$  per ridurre  $q$  di 4 volte?  $R = \boxed{\phantom{00}}$

Quanto varrebbe  $q$  in questo caso?  $q = \boxed{\phantom{00}}$

- 3 Calcolare il peso dell'LSB e dell'MSB per un convertitore avente  $V_{FS} = 240 \text{ mV}$   $R = 3$ .



## 5.2 Tempo di conversione

### Requisiti temporali

- 4 Si debba campionare un segnale acustico di banda  $300 \text{ Hz} \div 4 \text{ kHz}$ . Calcolare il tempo di conversione massimo.

Perché sia soddisfatto il teorema di Shannon il segnale deve essere campionato almeno alla frequenza:

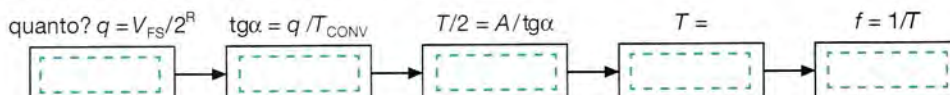
$$f_{\text{CAMP}} = 2 \cdot f_{\text{MAX}} = 2 \cdot \boxed{\phantom{00}} \cdot 10^3 = \boxed{\phantom{00}} \text{ kHz}$$

Il periodo di campionamento vale  $T_C = 1/\boxed{\phantom{00}} \cdot 10^3 = 125 \text{ } \mu\text{s}$ , che coincide con il tempo di conversione massimo ammissibile.

Per una conversione corretta questa condizione (2 risposte esatte):

- ☐ a è sufficiente ma non necessaria.
- ☐ b è necessaria ma non sufficiente.
- ☐ c deve essere associata alla verifica della condizione  $\Delta V < q$ .
- ☐ d deve essere verificata anche per la frequenza  $f_{\text{MIN}} = 300 \text{ Hz}$ .

- 5 Calcolare la massima frequenza che può avere un segnale triangolare di ampiezza massima  $A = 20 \text{ V}$  e minima  $0 \text{ V}$  perché possa essere digitalizzato da un ADC avente le seguenti caratteristiche:  
 $R = 8 \text{ bit}$   $V_{FS} = 10 \text{ V}$  tempo di conversione  $= 10 \text{ } \mu\text{s}$   
 senza che si debba ricorrere a un modulo sample-and-hold.





**Conversione sinusoidale**

- 6** Si debba digitalizzare una sinusoide di frequenza 500 Hz con un ADC a 10 bit avente  $T_{\text{CONV}} = 50 \mu\text{s}$  e  $V_{\text{FS}} = 5 \text{ V}$ . Calcolare l'ampiezza massima  $A_{\text{MAX}}$  della sinusoide, oltre la quale è necessario ricorrere a un sample-and-hold.

Il quanto vale:  $q = \frac{V_{\text{FS}}}{2^{10}} = \frac{5}{1024} = 4,9 \text{ mV}$

Dalla formula:  $f < q / (2\pi \cdot A \cdot T_{\text{CONV}})$  si ricava la formula inversa:

$$A < \frac{q}{(2\pi \cdot f \cdot T_{\text{CONV}})}$$

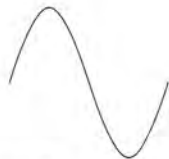
quindi:  $A_{\text{MAX}} = \frac{q}{(2\pi \cdot f \cdot T_{\text{CONV}})} = \frac{4,9 \cdot 10^{-3}}{(6,28 \cdot 500 \cdot 50 \cdot 10^{-6})} = 4,9/157 = 31,2 \text{ mV}$

- 7** Si supponga che, per un dato ADC di caratteristiche note, sia nota la frequenza massima della sinusoide digitalizzabile:

$$f_{\text{MAX}} = 1 \text{ kHz}$$

$$f_{\text{MAX}} = 1 \text{ kHz}$$

ampiezza A



$$f = 500 \text{ Hz}$$

ampiezza 2A

Nel caso l'ampiezza di questa sinusoide venga artificialmente raddoppiata (per esempio attraverso un amplificatore), a quanto si attesta la nuova frequenza massima?

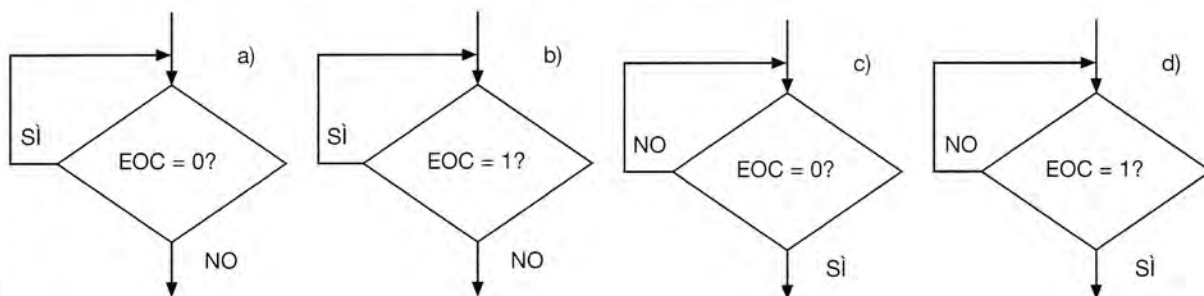
Affinché la formula  $f < q / (2\pi A T_{\text{CONV}})$  continui a essere soddisfatta, la frequenza massima deve ☐ raddoppiare

☐ dimezzare, quindi:

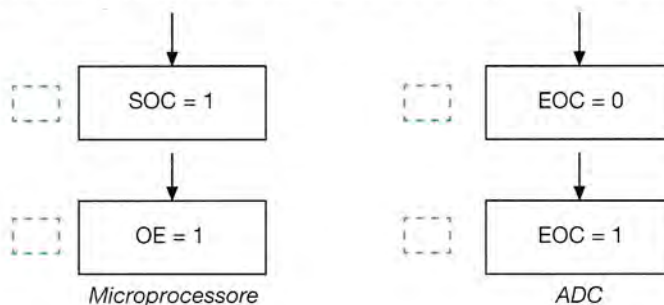
$$f_{\text{MAX}} = \frac{q}{2\pi A T_{\text{CONV}}}$$

**5.3 Interfacciamento tra ADC e microprocessore****Gestione software**

- 8** Un ipotetico algoritmo di conversione seguirebbe la logica alternativa di due dei seguenti blocchi decisionali. Specificare quali sono corretti contrassegnando le corrette lettere.



- 9** Il disegno rappresenta il flusso operativo dei due elementi fondamentali coinvolti nel processo di conversione: microprocessore e ADC. Si precisi qual è l'ordine delle azioni, scrivendo nei riquadri i numeri dall'1 al 4.



# Applicazioni

# A6

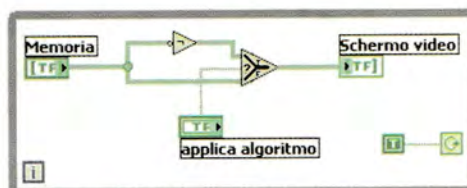
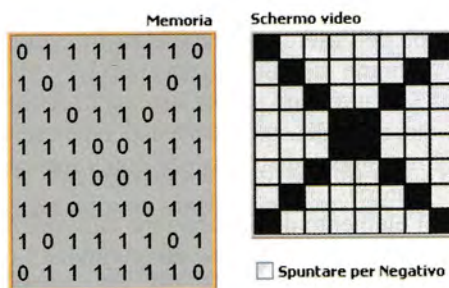
## Scheda 1 – Algoritmo per sviluppo negativo unità ➡ A1

**Obiettivi della prova:** comprendere i vantaggi del digitale nel trattamento delle immagini.

**Elementi utilizzati:** LabVIEW.

■ In LabVIEW lato pannello costruire un banco di memoria di 8×8 byte e una matrice di 8×8 pixel.

1. In entrambi i casi partire da un **Array** vuoto, prelevandolo dal gruppo **Array, Matrix & Cluster**.
2. Estendere la dimensione dell'array agendo sull'**Index Display**.
3. Per creare lo schermo video collocare dei led.
4. Per creare la memoria collocare dei pulsanti.
5. Per cambiare il testo dei pulsanti da ON/OFF in 1/0:
  - selezionare con il tasto destro del mouse **Properties** per aprire la finestra **Boolean Properties: Boolean**;
  - nella scheda **Appearance** selezionare **On text = 1**; **Off text = 0**;
  - conferire colore trasparente per rendere invisibili i pulsanti.



■ Costruire il Diagramma.

La negazione dei bit di memoria è resa da una singola porta NOT che assume carattere polimorfico, ovvero interviene su tutti i bit presenti nella matrice posta al suo ingresso.

## Scheda 2 – Indicazione analogica e digitale unità ➡ A1

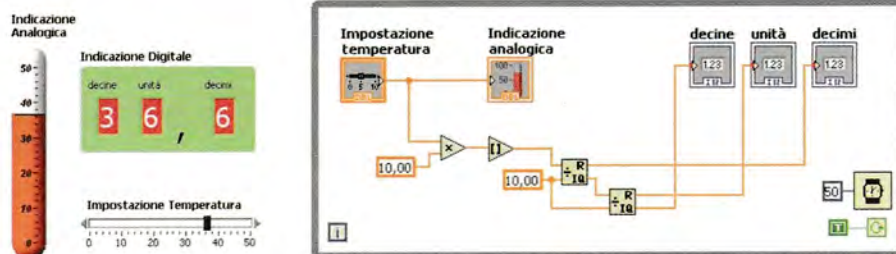
**Obiettivi della prova:** comprendere le differenze tra analogico e digitale.

**Elementi utilizzati:** LabVIEW.

■ Visualizzare un valore di temperatura con termometro analogico a bulbo e termometro digitale a una cifra decimale



1. Collocare lato pannello: un indicatore **Numeric → Thermometer**, uno **Slide** e tre **Numeric Indicator**.
2. Lato diagramma:
  - moltiplicare per 10 per avere un numero di tre cifre;
  - estrarre la parte intera con il blocco **Round To Nearest**;
  - con il blocco **Quotient & Remainder** estrarre decimi, unità, decine.



### Scheda 3 – Riproduzione inversa di un brano unità → A2

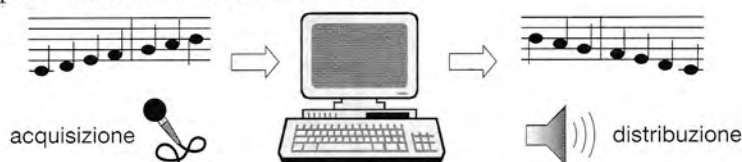
**Obiettivi della prova:** comprendere il trattamento digitale dei segnali DSP.  
**Elementi utilizzati:** C++, LabVIEW.

#### ■ Leggere il testo dell'esercitazione.

Scopo dell'esercitazione è la realizzazione di un sistema per l'ascolto in senso inverso di un brano digitale preregistrato.

Si tratta di un paese sistema di acquisizione dati, infatti è presente:

- un ramo di acquisizione dati, rappresentato da microfono e scheda audio del computer;
- un ramo di distribuzione dati, rappresentato da altoparlante e scheda audio del computer;
- l'elemento di elaborazione dati, rappresentato dal software LabVIEW, che elabora i campioni del brano invertendone l'ordine.



Possiamo ora imparare a invertire l'ordine dei numeri presenti in un vettore e a estendere la tecnica ai campioni del brano.

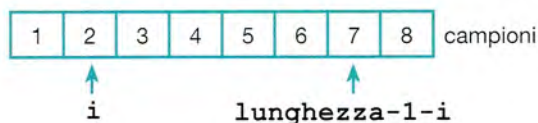
#### ■ Completare e provare il programma in linguaggio C che richiede di inizializzare un vettore di date dimensioni e ne inverte il contenuto.

L'algoritmo si fonda sul processo di inversione, entro un ciclo for, della casella numero **lunghezza-1-i** con la casella numero **i**. Il ciclo deve essere limitato alla prima metà del vettore.

La variabile **i** si deve pertanto arrestare al valore **mezzo** così ottenuto:

**mezzo = floor(lunghezza/2);**

La funzione **floor** arrotonda per difetto il risultato della divisione per due, nel caso di lunghezza dispari. In questo caso infatti la cella di mezzo deve essere ignorata.





```

#include <iostream>
#include <math.h>
int main()
{
    int campioni[30], lunghezza, mezzo, appoggio, i;
    printf("inserisci la lunghezza del vettore...");
    scanf("%d",&lunghezza);
    for(i=0;i<lunghezza;i=i+1)
    {
        printf("inserisci il %d^ elemento del vettore...",i+1);
        scanf("%d",&campioni[i]);
    }
    printf("stampa del vettore prima dell'algoritmo di inversione \n");
    for(i=0;i<lunghezza;i=i+1)
        printf("%3d", campioni[i]);
    mezzo=floor(lunghezza/2);
    for(i=0;i<mezzo;i=i+1)
    {
        appoggio=campioni[i];
        campioni[i]=campioni[lunghezza-1-i];
        campioni[lunghezza-1-i]=appoggio;
    }
    printf("\n stampa del vettore dopo l'algoritmo di inversione \n");
    for(i=0;i<lunghezza;i=i+1)
        printf("%3d", campioni[i]);
    printf("\n");
    system("PAUSE");
}

```

- Realizzare una applicazione con LabVIEW che riceva in ingresso un vettore di numeri e restituisca in uscita il vettore dei numeri invertiti nell'ordine.

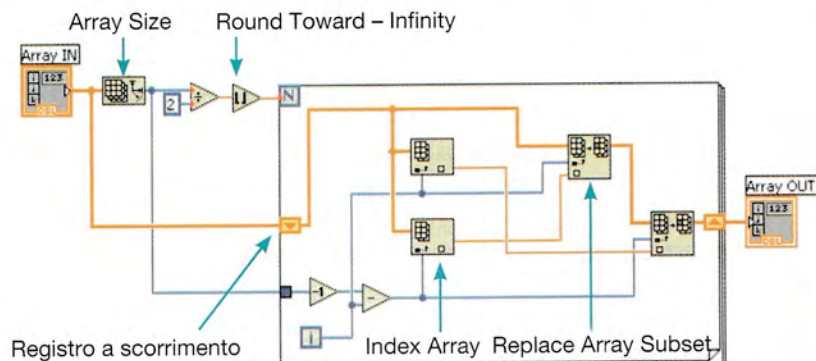


Il ciclo *for* scandisce la prima metà del vettore, infatti nella sezione a sinistra:

- viene rilevata la dimensione del vettore con il blocco **Array Size**;
- la dimensione viene dimezzata;
- successivamente viene troncata per difetto, nel caso di lunghezza dispari, dal blocco **Round Toward - Infinity**.

Due blocchi **Index Array** estraggono le caselle simmetriche, di posizione *i* e *lunghezza-1-i* e due blocchi **Replace Array Subset** riallocano i campioni scambiati di posizione.

Un **registro a scorrimento** conserva il vettore nel corso dell'elaborazione, facendolo ricircolare a ogni ciclo.



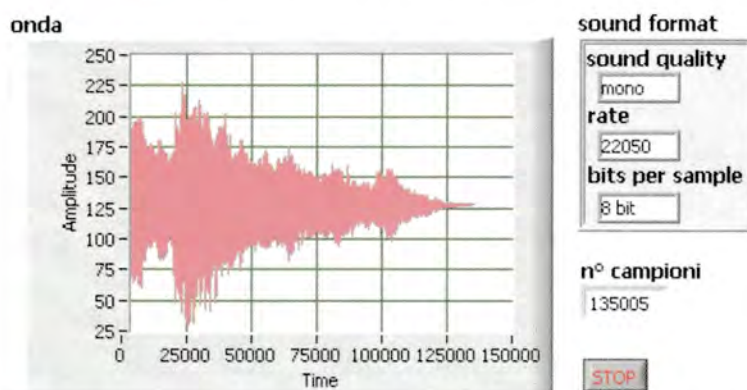


### ■ Trasformare l'applicazione di inversione in un SubVI.

### ■ Realizzare una applicazione che legga da file il brano in formato WAV e lo riproduca all'inverso con l'altoparlante, utilizzando la SubVI di inversione dei campioni.

Di seguito è riportato il pannello frontale, con la visualizzazione del grafico dei campioni e le specifiche del brano, che sono:

- **sound quality**: mono o stereo;
- **rate**: frequenza di campionamento [cicli/secondo];
- **bits per sample**: profondità di codifica [bits/campione].



L'applicazione si compone di un programma principale, che richiama il sottoprogramma per l'inversione dei campioni.

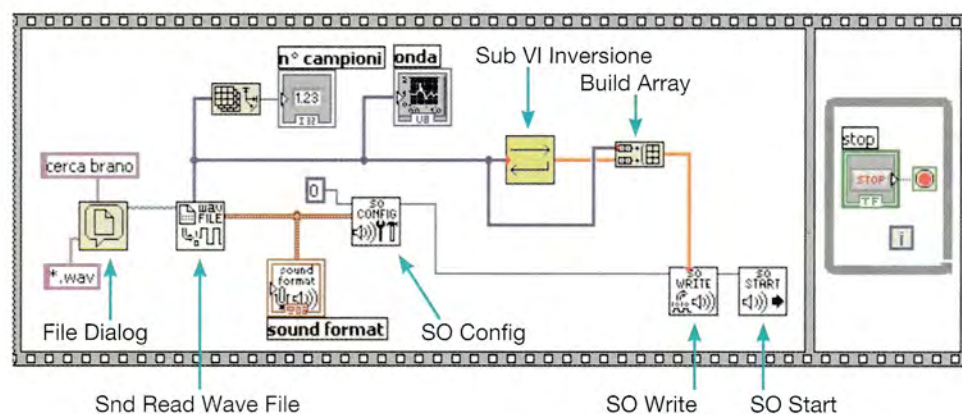
Il programma principale, per mezzo del blocco **File Dialog** apre una finestra che richiede l'identificazione del brano. Il blocco restituisce il percorso "Dos" del file. Questo viene inviato al blocco **Snd Read Wave File**, che legge fisicamente i campioni dal file e li rende disponibili entro un vettore d'uscita.

Il vettore entra nel sottoprogramma di inversione Sub VI Inversione. Il flusso dei campioni invertiti viene concatenato al flusso originale con un **Build Array**, per consentire l'ascolto del brano originale e di quello elaborato.

La riproduzione è affidata ai blocchi:

- **SO Config** che configura la scheda audio, a partire dalle specifiche **Sound Format** del brano;
- **SO Write** che memorizza sulla scheda audio i campioni del brano;
- **SO Start** che avvia la riproduzione.

Il ciclo while del secondo blocco della struttura **Flat Sequence** mantiene attiva l'applicazione, per consentire l'ascolto fino al completamento del brano.



### ■ Provare l'applicazione.

- Registrare un brano mediante il registratore di suoni di Windows presente al percorso Accessori→Svago→Registratore di suoni, o con un qualsiasi altro software di registrazione digitale.
- Impostare la modalità mono, la profondità di codifica di 8 bit e una frequenza di campionamento a piacere.
- Avviare e ascoltare la voce riprodotta al contrario.

## Scheda 4 – Convertitore DAC

unità ➤ A3



Area **digitale**

Verifica di un integrato DAC

**Obiettivi della prova:** comprendere la struttura del DAC.  
**Elementi utilizzati:** LabVIEW.

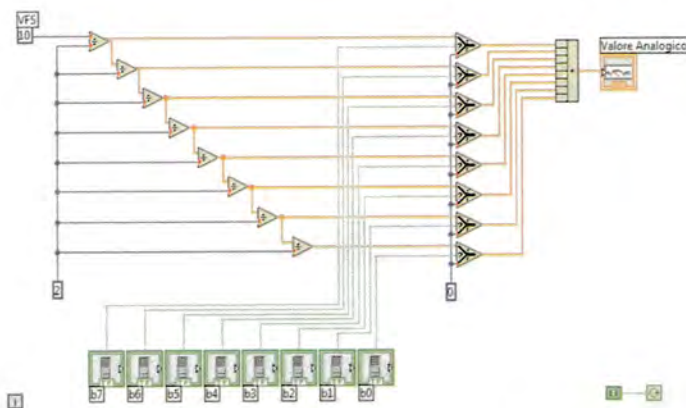
### ■ Costruire un'applicazione che riproduca il funzionamento di un DAC.

Sul lato del pannello si presenta una serie di 8 levette, che rappresentano gli 8 bit costituenti un byte. Con queste è possibile impostare il numero binario all'ingresso del convertitore. L'uscita del convertitore è rappresentata, nel pannello, da un indicatore numerico del tipo Meter, che visualizza la tensione corrispondente al numero in ingresso.



A ogni levetta, e quindi a ogni bit, sono associate tensioni diverse, che vanno, nel caso di una tensione di riferimento di 10 V, dai 3,9 mV introdotti dalla levetta  $b_0$  ai 5 V della levetta  $b_7$ . Nel caso qui considerato sono spostate in posizione ON le levette  $b_7$ ,  $b_6$  e  $b_2$  che formano il numero binario 11000100.

Nello schema LabVIEW, oltre ai divisori, è presente una sezione formata da commutatori, ciascuno dei quali è dotato di tre terminali: due di ingresso e uno centrale di controllo.



Il terminale centrale è collegato a un bit: se questo è basso l'uscita viene commutata in basso e riceve tensione nulla, se invece il bit è alto l'uscita viene commutata in alto e riceve la tensione dal corrispondente divisore.

In questo esempio, sostituendo i valori impostati sulle levette, si ricava dalla formula generale:

$$V_{\text{out}} = \frac{10}{256} (2^7 \cdot 1 + 2^6 \cdot 1 + 2^5 \cdot 0 + 2^4 \cdot 0 + 2^3 \cdot 0 + 2^2 \cdot 1 + 2^1 \cdot 0 + 2^0 \cdot 0) = 7,66 \text{ V}$$

che infatti è la tensione visualizzata dall'indicatore a lancetta e da quello numerico abbinato.





## Scheda 5 – Realizzazione di un ADC tipo flash unità A5

Realizzare praticamente un ADC flash e testarlo.

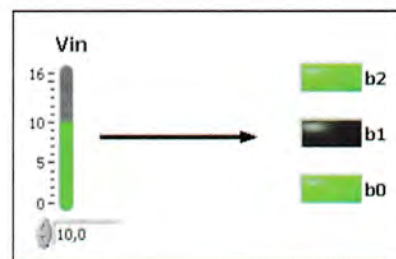
**Obiettivi della prova:** comprendere il funzionamento circuitale degli ADC.  
**Elementi utilizzati:** LabVIEW.

### ■ Leggere l'analisi generale dell'ADC tipo flash.

Un ADC flash è un convertitore istantaneo, costruito utilizzando una batteria di 8 comparatori e un codificatore con priorità a tre uscite binarie.

Il convertitore deve rispondere alla caratteristica descritta dalla seguente tabella e presentarsi con l'ingresso  $V_{IN}$  e le uscite digitali  $b_2b_1b_0$ .

Ingresso $V_{in}$	Uscita attiva	Uscite $b_2b_1b_0$
$0 \leq V_{in} < V_{FS}/16$	$U_0$	000
$V_{FS}/16 \leq V_{in} < 3V_{FS}/16$	$U_1$	001
$3V_{FS}/16 \leq V_{in} < 5V_{FS}/16$	$U_2$	010
$5V_{FS}/16 \leq V_{in} < 7V_{FS}/16$	$U_3$	011
$7V_{FS}/16 \leq V_{in} < 9V_{FS}/16$	$U_4$	100
$9V_{FS}/16 \leq V_{in} < 11V_{FS}/16$	$U_5$	101
$11V_{FS}/16 \leq V_{in} < 13V_{FS}/16$	$U_6$	110
$13V_{FS}/16 \leq V_{in} < V_{FS}$	$U_7$	111

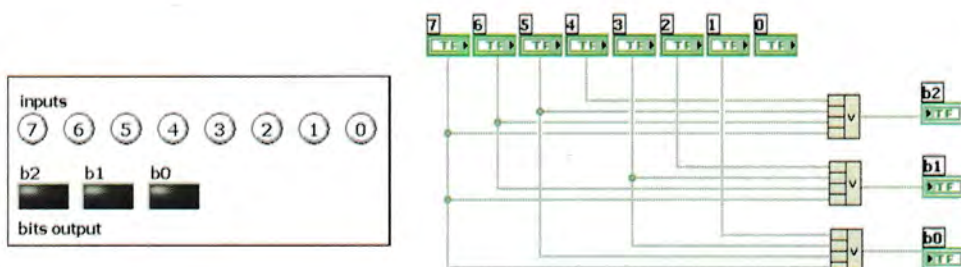


In generale un circuito siffatto si compone di due sezioni:

- una rete partizionatrice di tensione (realizzata circuitualmente con resistori in serie) che parcellizza la tensione di riferimento  $V_{FS}$  secondo gli intervalli descritti in tabella;
- una serie di comparatori, di uscite  $U_0, U_1, U_2, \dots, U_n$ , che segnalano con uscita alta in quale intervallo cade la tensione;
- un codificatore digitale, che codifica su tre bit l'uscita attiva.

### ■ Costruire un codificatore a priorità a 8 ingressi –3 uscite

Si riportano le figure del pannello frontale e del diagramma a blocchi, nel caso di realizzazione con LabVIEW.

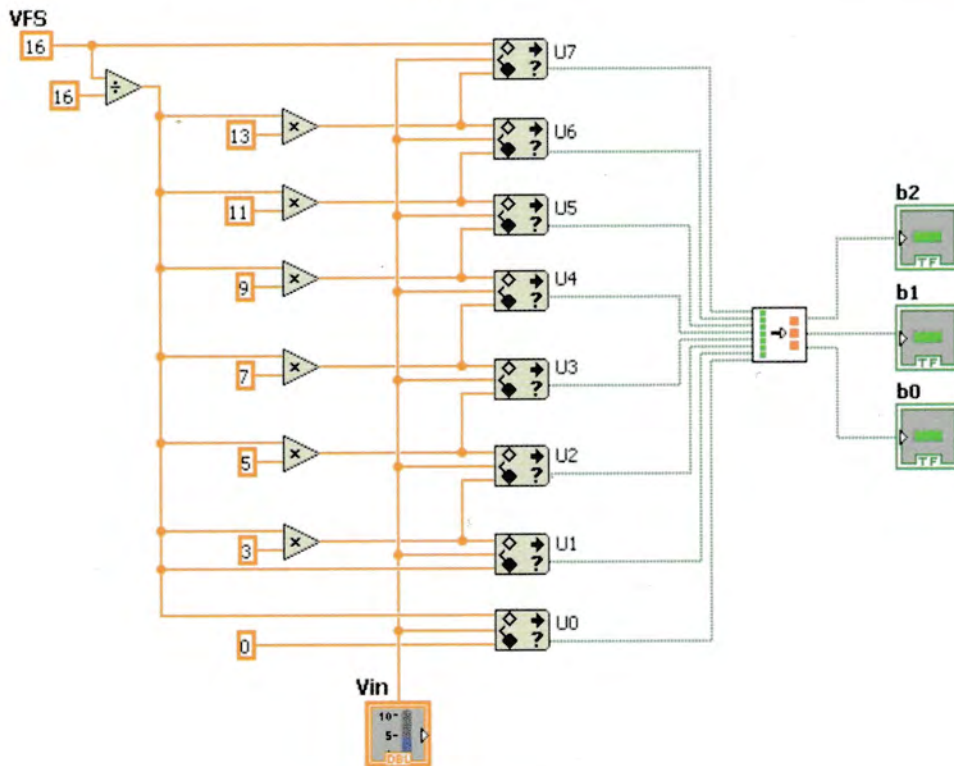


### ■ Realizzare lo schema complessivo, impiegando il codificatore a priorità.

Nello schema LabVIEW si identificano le seguenti sezioni:

1. sezione aritmetica per predisporre i livelli di riferimento, dividendo  $V_{REF}$  per 16 e moltiplicandola per 3, 5, 7, 9, 11, 13;
2. sezione dei blocchi *In Range And Coerce* per calcolare il livello di appartenenza della  $V_{in}$ ; il blocco *In Range And Coerce* porta alta la sua uscita se riscontra una  $V_{in}$  maggiore o uguale al proprio *lower limit* e minore del proprio *upper limit*;

3. SubVI codificatore decimale 3 bits, per produrre la configurazione binaria corrispondente all'ingresso abilitato



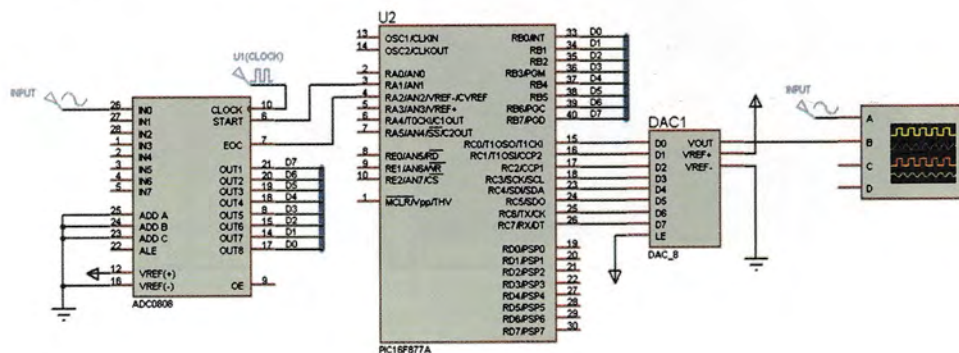
## Scheda 6 – Digitalizzazione e ricostruzione

unità ➔ A5

**Obiettivi della prova:** gestire la conversione ADC tramite microcontrollore.  
**Elementi utilizzati:** Proteus.

### ■ Costruire uno schema di conversione ADC e successiva ricostruzione DAC.

- Inserire un ADC.
- Inserire un DAC.
- Interfacciarli entrambi al PIC.
- Impostare frequenza clock: 1 kHz.
- Impostare frequenza INPUT: 200 mHz.





### ■ Scrivere il programma di gestione.

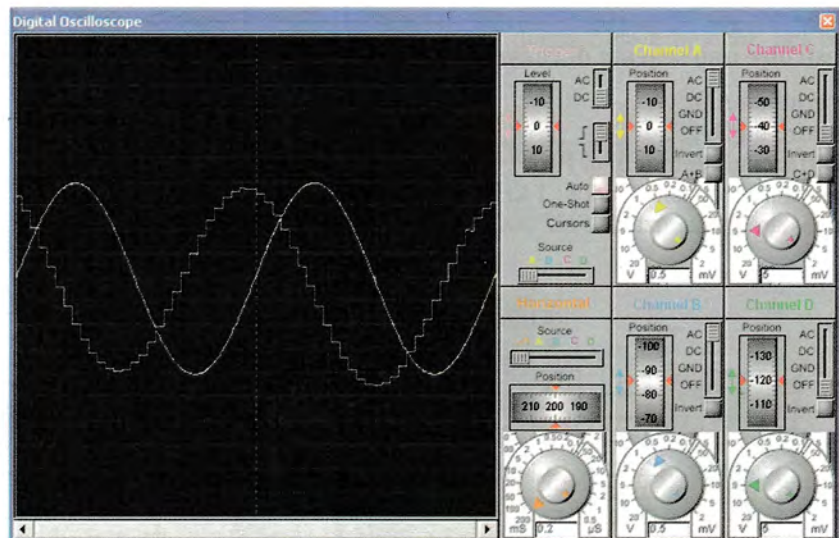
- Con un ciclo *for* acquisire i campioni in un vettore.
- Con un secondo ciclo *for*, alla fine dell'acquisizione, inviare i campioni al DAC.

```
int i;
unsigned char CAMPIONI[80];
void main() {
    ADCON1 = 0B10000110; // RA0 analogico, RA1, RA2, RA3 digitale
    TRISA = 0B00000100; // RA1 Output, RA2 Input
    TRISB = 0B11111111; // PORTB Input
    TRISC = 0B00000000; // PORTC Output
    for(i=0;i<80;i=i+1)
    {

        PORTA.F1=0; // Invio segnale SOC
        PORTA.F1=1;
        Delay_ms(1);
        PORTA.F1=0;
        do
        {
        }
        while(!PORTA.F2); // Attesa segnale EOC
        CAMPIONI[i]=PORTB; // Memorizzazione campioni
    }

    for(i=0;i<80;i=i+1)
    {
        PORTC=CAMPIONI[i]; // Invio campioni al DAC
        Delay_ms(70);
    }
} //~
```

### ■ Visualizzare l'onda originale INPUT e quella ricostruita DAC1(VOUT).



# Condizionamento

## B2

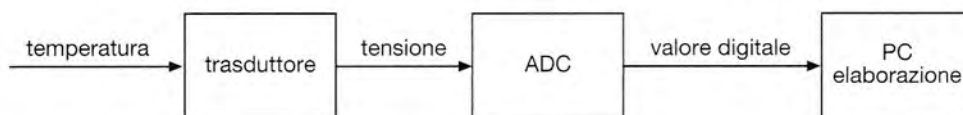
In generale condizionare una grandezza significa adattare le sue escursioni a determinate esigenze. In ambito elettronico il condizionamento è un intervento effettuato sui segnali.



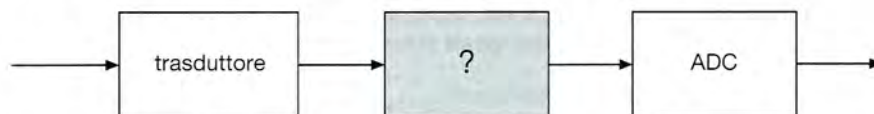
## 2.1 Adattamento hardware livelli e intervalli

La classica catena di acquisizione dati è costituita, in prima approssimazione, da un blocco trasduttore che converte la grandezza fisica in un segnale elettrico proporzionale, da un ADC che converte il segnale analogico in forma digitale compatibile con l'elaboratore, e dal PC che elabora in svariati modi il dato (es.: grafici, operazioni logico-matematiche, controlli automatici ecc.). Riferendoci, per fissare le idee, al caso della rilevazione della temperatura, con l'avvertenza che quanto verrà detto ha una validità generale, possiamo schematizzare quanto espresso come nella seguente figura.

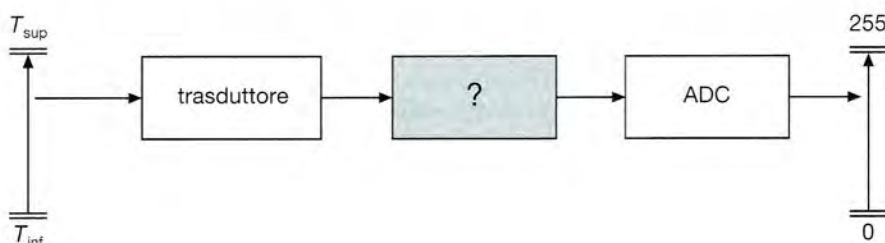
**Necessità di adattamento**



In pratica è necessario aggiungere altri blocchi allo schema, in particolare nella sezione compresa tra il trasduttore e l'ADC, come indicato nella figura seguente, nella quale compare un blocco contraddistinto da un punto di domanda.



Il trasduttore deve convertire un dato intervallo di temperatura che può variare, a seconda dell'applicazione, da un valore minimo  $T_{inf}$  a un valore massimo  $T_{sup}$ . A questa escursione deve corrispondere, all'uscita dell'ADC, l'intervallo binario  $0 + 255$ . La figura seguente riprende i contenuti della figura precedente, offrendo anche la visualizzazione dei predetti range.





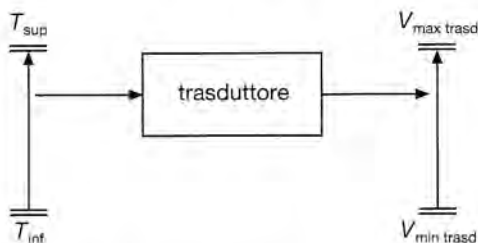
L'intervallo dei valori all'uscita del trasduttore è vincolato dalle sue caratteristiche costruttive, pertanto in generale questi valori non coincidono con quelli richiesti dall'ADC. Infatti l'ADC converte una tensione compresa tra un minimo di 0 V a un massimo pari al valore di riferimento  $V_{REF}$ , fornendo in uscita valori binari da 0 a 255.

È necessario pertanto **adattare l'uscita del trasduttore all'ingresso dell'ADC**.

Per progettare il blocco incognito, dobbiamo analizzare gli intervalli di uscita del trasduttore e quelli d'ingresso dell'ADC e metterli a confronto.

### Uscita trasduttore

Iniziamo dal trasduttore: i valori dell'uscita variano da un minimo  $V_{min\ trasd}$  a un massimo  $V_{max\ trasd}$ , come descritto dalla figura.

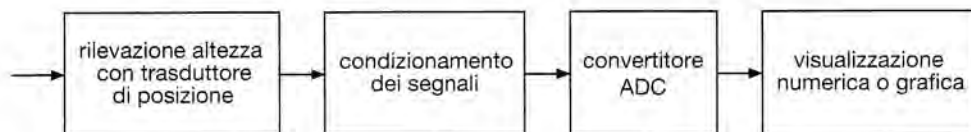


Chiariamo il concetto avvalendoci di un esempio.

### ESEMPIO 1

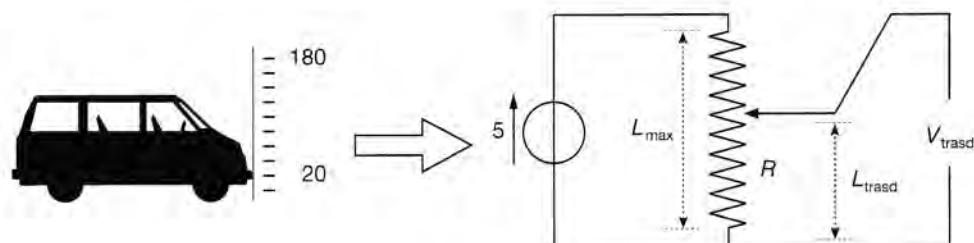
#### Rilevazione altezza carrozzeria-segnali del trasduttore

Si supponga di dover allestire un sistema per la misurazione dell'altezza del profilo di carrozzeria di un'automobile, ad esempio per comandare il movimento delle spazzole di un autolavaggio, oppure l'apparato di verniciatura in una catena produttiva. Lo schema a blocchi seguente comprende le classiche funzioni di un sistema di acquisizione dati.



Si supponga che l'apparato meccanico di misurazione dell'altezza  $L_{automobile}$  sia predisposto per funzionare, in un campo di altezze adatto a tutti i modelli di automobile, da un valore minimo  $L_{min} = 20$  cm, corrispondente al parafrangente, fino a un massimo  $L_{max} = 180$  cm corrispondente al tetto. Il trasduttore di posizione sia realizzato con un potenziometro lineare, abbia poi una corsa di 180 cm e sia alimentato a 5 V.

Ricaviamo i valori minimo  $V_{min\ trasd}$  e massimo  $V_{max\ trasd}$  di tensione all'uscita del trasduttore.



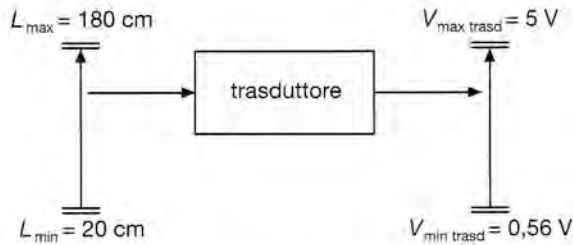
per  $L_{min} = 20$  cm

$$V_{min\ trasd} = \frac{5\text{ V}}{180} \cdot 20 = 0,56\text{ V}$$

per  $L_{max} = 180$  cm

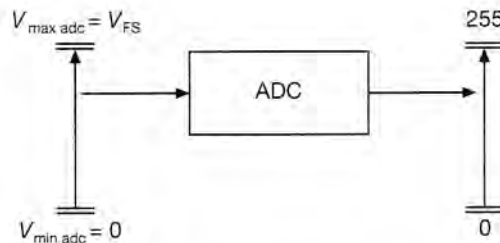
$$V_{max\ trasd} = \frac{5\text{ V}}{180} \cdot 180 = 5\text{ V}$$

Possiamo riassumere quanto ricavato avvalendoci della seguente schematizzazione:



Proseguiamo ora con l'analisi dell'ADC. Perché la risoluzione dell'ADC possa essere pienamente sfruttata e la sua uscita possa raggiungere il massimo di 255, è necessario che anche l'ingresso possa oscillare entro la maggiore banda di valori da 0 a  $V_{FS}$ , pertanto deve essere  $V_{min\ adc} = 0$  e  $V_{max\ adc} = V_{FS}$ .

### Ingresso ADC



Ma il segnale all'ingresso dell'ADC proviene dal trasduttore che oscilla da un  $V_{min\ trasd}$  a un  $V_{max\ trasd}$ .

La logica conseguenza di queste considerazioni è che è necessario interporre tra trasduttore e ADC un blocco che modifichi gli estremi superiore e inferiore del segnale all'uscita del trasduttore.

Nella figura che segue è indicato questo blocco che chiameremo **condizionatore di segnale**, unitamente agli intervalli e ai livelli di input/output.

### Adattamento livelli e intervalli

La sua azione si esplica in due modi:

- modificando il valore minimo ( $V_{min\ trasd}$  deve corrispondere a 0);
- modificando la differenza tra il valore massimo e il valore minimo (cioè  $V_{max\ trasd} - V_{min\ trasd}$  deve essere portata a  $V_{max\ adc} - 0$ ).

In sintesi devono essere adattati tanto i **livelli** quanto gli **intervalli** dei segnali.



Il dispositivo effettua il cosiddetto **condizionamento dei segnali**. Condizionare dei segnali significa dunque modificare gli intervalli e i livelli in modo da **adattare** dispositivi che **lavorano** con intervalli e livelli di segnale originariamente diversi.

Il blocco di condizionamento è, a sua volta, scomponibile in due parti, come descritto nella successiva figura:

- un **amplificatore** per adattare gli intervalli;
- un **traslatore di livello**, per adattare i livelli.





L'amplificatore deve portare l'intervallo da  $(V_{\max \text{ trasd}} - V_{\min \text{ trasd}})$  all'intervallo  $(V_{\max \text{ adc}} - 0)$ . L'amplificazione  $A$  pertanto deve valere:

$$A = \frac{V_{\max \text{ adc}} - 0}{V_{\max \text{ trasd}} - V_{\min \text{ trasd}}}$$

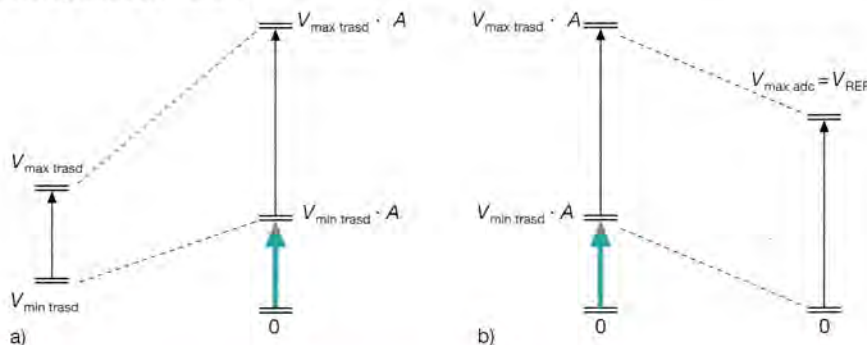
Si osservi però che l'amplificatore sposta il livello minimo al nuovo valore:

$$V_{\min \text{ trasd}} \cdot A$$

come esemplificato nella figura a).

Si deve allora impiegare un traslatore di livello che sottragga appunto questa quota, come esemplificato nella figura b).

L'azione congiunta dell'amplificatore e del traslatore di livello, in conclusione, condiziona il segnale configurandolo tra 0 e  $V_{\max \text{ adc}}$ , valori adeguati per il successivo trattamento da parte dell'ADC.



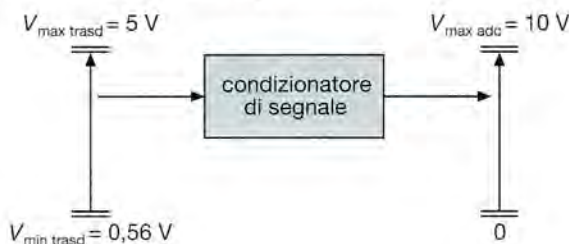
### ESEMPIO 2

#### Rilevazione altezza carrozzeria-adattamento livelli e intervalli

Riprendendo l'esempio precedente, dobbiamo ora adattare il trasduttore all'ADC, ovvero fare in modo che il segnale all'ingresso dell'ADC soddisfi le sue specifiche.

Supponendo  $V_{FS} = 10 \text{ V}$ , il dato binario all'uscita dell'ADC varierà tra 0 e 255 per valori della tensione da convertire all'ingresso variabili da 0 a 10 V.

Riprendendo i valori  $V_{\min \text{ trasd}}$  e  $V_{\max \text{ trasd}}$  calcolati nel precedente esempio, la corrispondenza tra la tensione all'uscita del trasduttore e quella all'ingresso dell'ADC è data dal seguente schema:



Come noto dalla teoria, l'adattamento si ottiene con una duplice azione: *amplificazione* e *traslazione* di livello.

L'*amplificazione* si deduce rapportando l'intervallo di variabilità richiesto in output a quello imposto in input:

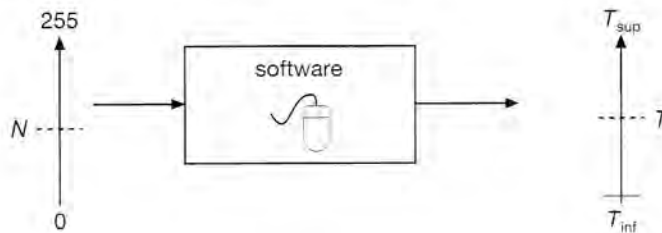
$$\frac{V_{\max \text{ adc}} - V_{\min \text{ adc}}}{V_{\max \text{ trasd}} - V_{\min \text{ trasd}}} = \frac{10 \text{ V} - 0 \text{ V}}{5 \text{ V} - 0,56 \text{ V}} = 2,25$$

La *traslazione* si ottiene scalando mediante un traslatore di livello il valore  $2,25 \cdot 0,56 = 1,26$ . Il segnale così condizionato è adattato all'ADC, che lo converte in un numero binario compreso tra 0 e 255. Il software dovrà poi, con opportuna proporzione, rimodulare i valori binari in modo da visualizzare i valori reali dell'altezza.

## 2.2 Rappresentazione dei dati

Un problema di **adattamento** si riscontra anche nella **sezione software**, qualora si debbano rappresentare a video i dati digitali acquisiti da una interfaccia. Il problema in questo caso è squisitamente informatico e deve essere risolto dal programmatore. Supponiamo, per fissare le idee, che questi debba scrivere un programma che tracci su grafico i valori della temperatura acquisita. Il computer, nella sua porta d'ingresso, riceve i dati in forma digitale, nell'intervallo binario fra 0 e 255.

Il programma deve far corrispondere a questi valori gli estremi  $T_{\text{inf}}$  e  $T_{\text{sup}}$  della temperatura rilevata sul campo. È inoltre necessario far corrispondere a ogni valore digitale  $N$  il relativo valore di temperatura  $T$ .



Per determinare questo legame impostiamo la seguente proporzione:

$$(T_{\text{sup}} - T_{\text{inf}}) : (255 - 0) = (T - T_{\text{inf}}) : N$$

La proporzione recita: l'escursione totale della temperatura sta all'intervallo totale dei valori digitali, come la variazione di temperatura rispetto alla base  $T_{\text{inf}}$  sta al valore digitale  $N$  attuale. Elaborando la proporzione si ottiene:

$$[(T_{\text{sup}} - T_{\text{inf}}) / 255] \cdot N = T - T_{\text{inf}}$$

da cui la formula finale:

$$T = (T_{\text{sup}} - T_{\text{inf}}) \cdot N / 255 + T_{\text{inf}}$$

Per rendersi conto della plausibilità del risultato ottenuto è possibile fare due controprove, sostituendo a  $N$  i suoi limiti inferiore (0) e superiore (255). Come è da aspettarsi, i risultati sono rispettivamente  $T = T_{\text{inf}}$  e  $T = T_{\text{sup}}$ :

$$\text{con } N = 0 \Rightarrow T = T_{\text{inf}}$$

$$\text{con } N = 255 \Rightarrow T = T_{\text{sup}} - T_{\text{inf}} + T_{\text{inf}} = T_{\text{sup}}$$

### Rilevazione altezza carrozzeria: software

#### ESEMPIO 3

Ricordando che in questo esempio si sono indicati con  $L_{\text{min}}$  e  $L_{\text{max}}$  rispettivamente il limite inferiore e superiore del profilo di carrozzeria, la corrispondenza tra numero binario  $N$  dell'ADC e altezza del profilo di carrozzeria è dato dalla formula:

$$L = (L_{\text{max}} - L_{\text{min}}) \cdot N / 255 + L_{\text{min}}$$



# Condizionamento

## Condizionamento

### Definizione

**Condizionare** una grandezza significa adattare le sue escursioni a determinate esigenze.

### Condizionamento hardware

Riguarda l'adeguamento del segnale di uscita del trasduttore all'ingresso del convertitore analogico digitale.

#### Adeguamento intervallo

- Permette di adeguare l'intervallo di uscita  $V_{\max \text{ trasd}} - V_{\min \text{ trasd}}$  del trasduttore all'intervallo  $V_{\max \text{ adc}} - V_{\min \text{ adc}}$  di ingresso del convertitore ADC.
- Viene raggiunto per mezzo di un **Amplificatore** di guadagno  $A$ .

#### Adeguamento livello

Permette di adeguare il livello minimo di uscita  $V_{\min \text{ trasd}} \cdot A$  che giunge al convertitore ADC al suo livello minimo intrinseco  $V_{\min \text{ adc}}$ .

### Condizionamento software

Serve a ricondurre le escursioni del segnale di uscita del convertitore ADC ai corrispondenti valori originali della grandezza reale rilevata.

#### Attività del software

Il computer, nella sua porta d'ingresso, riceve i dati in forma digitale, nell'intervallo binario fra 0 e 255. Il software deve far corrispondere a questi valori estremi l'intervallo del dato fisico reale da  $T_{\inf}$  a  $T_{\sup}$ .

#### Formula per l'adeguamento

Deriva dalla proporzione:

$$(T_{\sup} - T_{\inf}) : (255 - 0) = (T - T_{\inf}) : N$$

che testualmente recita: l'escursione totale della temperatura sta all'intervallo totale dei valori binari come la variazione di temperatura rispetto alla base  $T_{\inf}$  sta al numero attuale.

#### Risultato

$$T = (T_{\sup} - T_{\inf}) \cdot N / 255 + T_{\inf}$$

Per rendersi conto della plausibilità del risultato ottenuto è possibile fare due controprove, sostituendo a  $N$  i suoi limiti inferiore (0) e superiore (255).

Come è da aspettarsi i risultati sono rispettivamente  $T = T_{\inf}$  e  $T = T_{\sup}$ .

- con  $N = 0 \Rightarrow T = T_{\inf}$ ;
- con  $N = 255 \Rightarrow T = T_{\sup} - T_{\inf} + T_{\inf} = T_{\sup}$

# Test di verifica

Area *digitale*

## Quesiti a scelta multipla

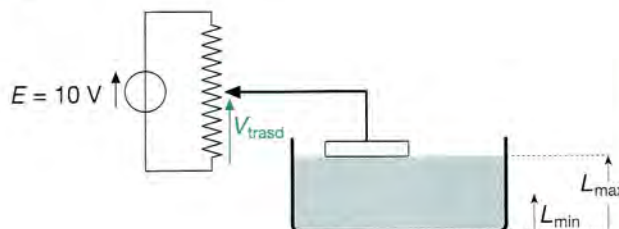
- 1 *Selezionare le affermazioni corrette nei riguardi del blocco trasduttore. (2 risposte esatte)*
  - ☐ a Precede il blocco condizionatore.
  - ☐ b Segue il blocco ADC.
  - ☐ c Ha uscita di tensione.
  - ☐ d Ha uscita compresa nell'intervallo 0 – 255.
- 2 *Selezionare le affermazioni corrette nei riguardi del blocco ADC. (2 risposte esatte)*
  - ☐ a È collegato direttamente al trasduttore.
  - ☐ b Segue il blocco condizionatore.
  - ☐ c Ha uscita di tensione.
  - ☐ d Ha uscita compresa nell'intervallo 0 – 255 nel caso di otto bit.
- 3 *Selezionare le affermazioni corrette nei riguardi del blocco condizionatore. (2 risposte esatte)*
  - ☐ a Ha sempre al suo ingresso dei valori 0-5 V oppure 0-10 V.
  - ☐ b Deve fornire in uscita dei valori di tensione adatti alla gamma imposta dal blocco ADC.
  - ☐ c Adatta il trasduttore all'attuatore.
  - ☐ d Manipola il range all'uscita del traduttore.
- 4 *Selezionare le affermazioni corrette nei riguardi del blocco condizionatore. (2 risposte esatte)*
  - ☐ a Adatta l'intervallo d'uscita del trasduttore al livello d'ingresso dell'ADC.
  - ☐ b Adatta il livello minimo d'uscita del trasduttore all'intervallo minimo d'ingresso dell'ADC.
  - ☐ c È anche costituito da un amplificatore adattatore di intervallo.
  - ☐ d È anche costituito da un traslatore adattatore di livello.
- 5 *L'adattamento software serve a: (2 risposte esatte)*
  - ☐ a adattare l'uscita del trasduttore all'ingresso dell'ADC.
  - ☐ b ricondurre i valori digitali dell'ADC a quelli originali del sistema reale.
  - ☐ c applicare una formula di proporzionalità.
  - ☐ d digitalizzare l'uscita del trasduttore per renderla gestibile al trattamento da parte del computer.

## Esercizi di verifica

### 2.1 Adattamento hardware livelli e intervalli

#### Necessità di adattamento – Uscita trasduttore – Ingresso ADC

- 1 *Un trasduttore di livello a spinta idrostatica è vincolato a un trasduttore di posizione, come in figura. Il livello del liquido può variare da  $L_{min} = 10$  cm a  $L_{max} = 20$  cm, ovvero  $\Delta L = 10$ . La corsa del trasduttore è 30 cm. Quando  $L = L_{max}$  il terminale centrale è posizionato a metà della corsa, come in figura.*





Completare i passaggi.

per  $L = L_{\max}$  si ha:  $V_{\max \text{ trasd}} = E / \boxed{\phantom{00}} = \boxed{\phantom{00}} \text{ V}$

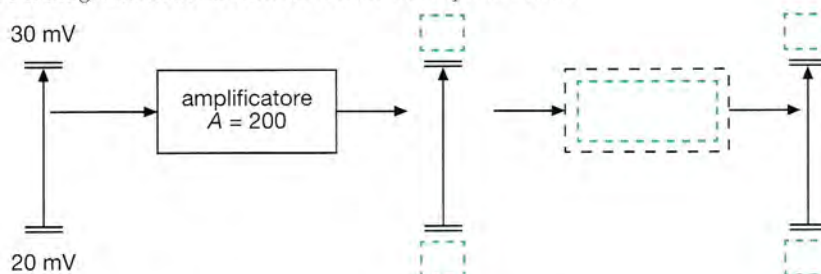
per  $L = L_{\min}$  si ha:  $V_{\min \text{ trasd}} = \frac{(15 - \Delta L)}{\boxed{\phantom{00}}} \cdot E = \frac{(15 - \boxed{\phantom{00}})}{\boxed{\phantom{00}}} \cdot 10 = 1,67 \text{ V}$  dove  $\Delta L = L_{\max} - L_{\min}$

Rispondere, supponendo che l'ADC a valle richieda valore minimo 0. (2 risposte esatte)

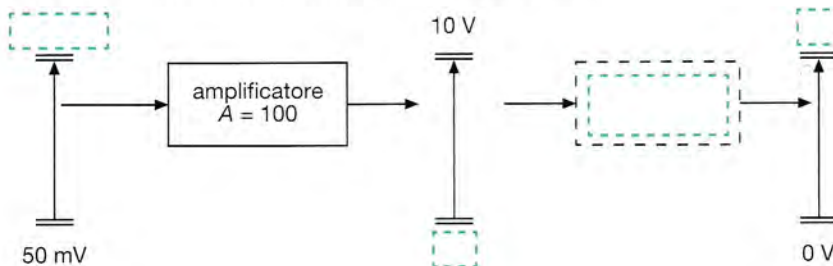
- ☐ a Quando  $V_{\text{trasd}} = 5 \text{ V}$  all'uscita del condizionatore si deve avere  $V_{\max \text{ adc}}$ .
- ☐ b Il sistema non necessita adattamento.
- ☐ c Quando  $V_{\text{trasd}} = 0 \text{ V}$  all'uscita del condizionatore si deve avere 0.
- ☐ d Quando  $L = L_{\min}$  il condizionatore deve dare uscita nulla.

### Adattamento livelli e intervalli

- 2 Completare il diagramma dei livelli, scrivendo nei riquadri vuoti.



- 3 Completare il diagramma dei livelli, scrivendo nei riquadri vuoti.



## 2.2 Rappresentazione dei dati

- 4 Un PC acquisisce, tramite scheda di interfacciamento, dei dati binari su 8 bit, corrispondenti a rilevazioni di temperatura. Il range dei valori di temperatura va da un minimo di  $5^\circ\text{C}$  a un massimo di  $10^\circ\text{C}$ . Scrivere, nel seguente tracciato di acquisizione, i valori della temperatura corrispondenti ai valori digitali N specificati.

