

Reti sequenziali con Moore e Mealy

Per descrivere i passi da seguire per effettuare la sintesi di una rete sequenziale con i modelli di Moore o di Mealy, debbono tenersi ben presenti i modelli delle reti raffigurati nella **figura 1.1**.

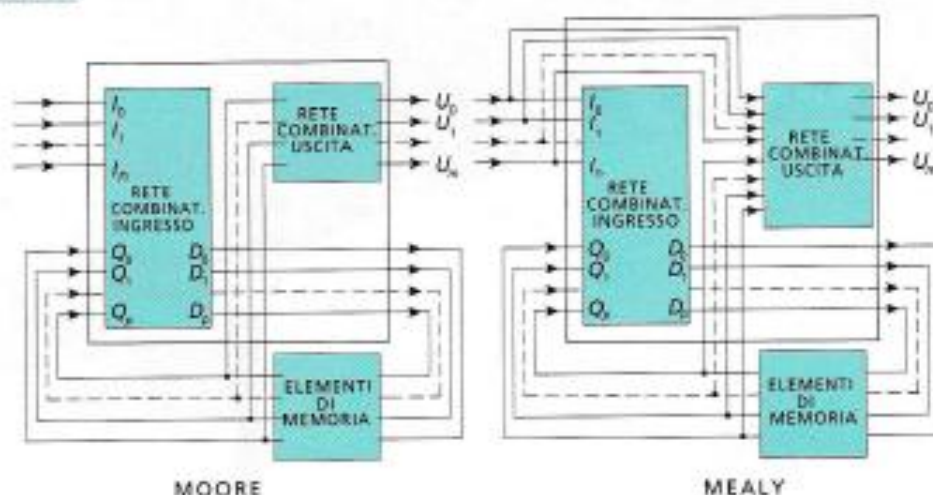


figura 1.1

Tracciato il *diagramma degli stati*, il procedimento consiste essenzialmente nel:

- la sintesi della **rete combinatoria d'ingresso**;
- scegliere il tipo di **elementi di memoria** da utilizzare (flip-flop). Le uscite della rete combinatoria d'ingresso diventano gli ingressi dei flip-flop;
- la sintesi della **rete combinatoria d'uscita**. Gli ingressi della rete combinatoria d'uscita sono costituiti dalle uscite dei flip-flop (Moore) o dalle uscite dei flip-flop e dagli ingressi esterni (Mealy).

Per effettuare la sintesi di reti sequenziali sincrone si deve quindi procedere seguendo i passi elencati.

1. Dalla descrizione del problema si traccia il *diagramma degli stati* del sistema. Normalmente è il passo più difficile da realizzare in quanto è richiesta un'attenta analisi del problema.
2. Si associano ai singoli stati, arbitrariamente, le *variabili di stato*. Il numero delle variabili di stato è legato al numero degli stati presenti nel sistema. Essendo N il numero degli stati del sistema, per la sintesi della rete occorrono n variabili di stato in modo che sia $N \leq 2^n$.
3. Si associano ai singoli stati le configurazioni possibili delle uscite tenendo conto dei valori indicati per esse nel diagramma degli stati (*tabella d'uscita*).
4. Si pone il diagramma degli stati sotto forma di tabella (*tabella degli stati* o *tabella delle transizioni*) tenendo conto dello stato da cui si parte e quello in cui si porta il sistema in base al livello assunto dall'ingresso o dagli ingressi.
5. Si esegue, ove possibile, un'eventuale minimizzazione della tabella degli stati con la fusione di stati equivalenti.
6. Si stabilisce il tipo di elemento di memoria (flip-flop) da impiegare per la sintesi.
7. Si costruisce la *tabella di eccitazione* per la sintesi della rete combinatoria d'ingresso tenendo conto delle *tabelle di transizione* del flip-flop scelto.
8. Dalla tabella di eccitazione per mezzo delle *mappe di Karnaugh* si formulano le

equazioni di eccitazione per mezzo delle quali si procede alla sintesi della rete combinatoria d'ingresso.

9. Dalla tabella di uscita per mezzo delle mappe di Karnaugh si formulano le equazioni d'uscita per mezzo delle quali si procede alla sintesi della rete combinatoria d'uscita.
10. Si procede alla sintesi della rete combinatoria d'ingresso e di quella d'uscita.
11. Si fa una eventuale simulazione logica della rete complessiva sintetizzata.

Alcuni esempi chiariranno il modo di procedere.

1.1 Sintesi con automa di Moore

esempio 1.1

Si voglia realizzare la rete logica descritta con il diagramma degli stati analizzato nella figura 1.2. Il diagramma descrive un sistema (con un solo ingresso I e una sola uscita U) che deve cambiare stato ogni volta che l'interruttore fornisce un livello che passa dallo stato basso a quello alto.

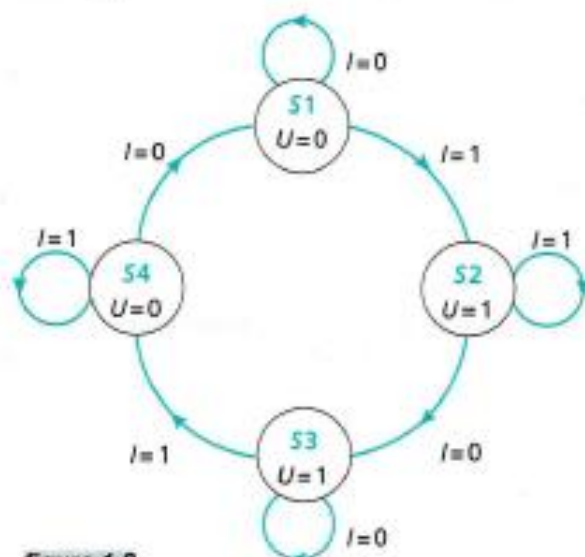


figura 1.2

tabella 1.1

Stato	Q_1	Q_0	U
S1	0	0	0
S2	0	1	1
S3	1	1	1
S4	1	0	0

tabella 1.2

Stato di partenza	I	
	0	1
S1 [0 0] \Rightarrow	S1 [0 0]	S2 [0 1]
S2 [0 1] \Rightarrow	S3 [1 1]	S2 [0 1]
S3 [1 1] \Rightarrow	S3 [1 1]	S4 [1 0]
S4 [1 0] \Rightarrow	S1 [0 0]	S4 [1 0]

Dalla tabella 1.2, prelevando i valori posti tra parentesi, si traccia immediatamente la tabella 1.3, dove le variabili sulle prime colonne sono relative a $Q_1(t)$ e quelle delle seconde colonne a $Q_0(t)$. La tabella 1.3 di pagina seguente indicherà quindi il valore assunto dalla variabile di stato nello stato di partenza $Q(t)$ e quello a cui si deve portare $Q(t+1)$ in base al valore assunto dall'ingresso, quando il sistema passerà nel nuovo stato o permarrà in quello in cui si trova.

Per la sintesi occorre utilizzare due flip-flop essendo quattro gli stati e quindi due le variabili di stato. Se si utilizzano flip-flop di tipo D, poiché la tabella di transizione coincide con quella di eccitazione, è possibile tracciare immediatamente le mappe di Karnaugh relative a D_1 e D_0 .

Nella **tabella 1.3**, si prendono separatamente, nella parte relativa a $l = 0$ e $l = 1$, le variabili delle prime colonne (per D_1) e quelle delle seconde (per D_0).

tabella 1.3

$Q_1(t)$	$Q_0(t)$		$l = 0$		$l = 1$	
			$Q_1(t+1)$	$Q_0(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	\Rightarrow	0	0	0	1
0	1	\Rightarrow	1	1	0	1
1	1	\Rightarrow	1	1	1	0
1	0	\Rightarrow	0	0	1	0

Si ottengono così le mappe riportate di seguito.

$Q_1 Q_0 \backslash l$	0		$Q_1 Q_0 \backslash l$	0	
	0	1		0	1
0 0	0	0	0 0	0	1
0 1	1	0	0 1	1	1
1 1	1	1	1 1	1	0
1 0	0	1	1 0	0	0

$$D_1 = Q_0 \bar{T} + Q_1 I$$

$$D_0 = Q_0 \bar{T} + \bar{Q}_1 I$$

tabella 1.4

Tipo T			
$Q(t)$	\Rightarrow	$Q(t+1)$	T
0	\Rightarrow	0	0
0	\Rightarrow	1	1
1	\Rightarrow	0	1
1	\Rightarrow	1	0

Se si volessero usare per la sintesi dei **flip-flop di tipo T** dovrebbe essere presa in considerazione la tabella di transizione di questo tipo di dispositivo (**tabella 1.4**).

In questo caso la **tabella 1.2** si trasforma nella **tabella 1.5**. Si ricordi che ogni volta che dallo stato di partenza a quello di arrivo si passa da 0 a 1 o da 1 a 0 si ha commutazione e si deve porre nella casella corrispondente un uno, mentre se non c'è commutazione ($0 \rightarrow 0$ o $1 \rightarrow 1$), uno zero.

tabella 1.5

$Q_1(t)$	$Q_0(t)$		$l = 0$		$l = 1$	
			$Q_1(t+1)$	$Q_0(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	\Rightarrow	0	0	0	1
0	1	\Rightarrow	1	0	0	0
1	1	\Rightarrow	0	0	0	1
1	0	\Rightarrow	1	0	0	0

Procedendo alla sintesi con il flip flop di tipo T si hanno le mappe seguenti.

$Q_1 Q_0 \backslash l$	0		$Q_1 Q_0 \backslash l$	0	
	0	1		0	1
0 0	0	0	0 0	0	1
0 1	1	0	0 1	0	0
1 1	0	0	1 1	0	1
1 0	1	0	1 0	0	0

Come si può vedere dalle mappe, non sono possibili raggruppamenti e pertanto si ha per T_1 e per T_0 :

$$T_1 = \bar{Q}_1 \cdot Q_0 \cdot \bar{I} + Q_1 \cdot \bar{Q}_0 \cdot \bar{I}$$

$$T_0 = \bar{Q}_1 \cdot \bar{Q}_0 \cdot I + Q_1 \cdot Q_0 \cdot I$$

Realizzazione della rete progettata con 2 flip-flop di tipo D

È necessario effettuare, servendosi della **tabella 1.5**, anche la sintesi della rete combinatoria di uscita. Si può osservare dalla tabella che l'uscita U , per tutti e quattro gli stati, coincide con la variabile di stato Q_0 , per questo si può scrivere:

$$U = Q_0$$

Si realizza quindi la rete progettata usando 2 flip-flop di tipo D. Nello schema di **figura 1.3** (realizzato con MultiSIM), utilizzato per eseguire la simulazione del sistema, gli ingressi dei flip-flop di clear e preset sono disattivati tenendoli allo stato alto. Una sonda che segnala lo stato dell'uscita U è collegata a Q_0 . Il clock è stato fissato con una frequenza di 1 kHz. Per eseguire la simulazione del circuito si attivi di volta in volta l'interruttore $S1$ con la barra spaziatrice, portandolo a V_{CC} e poi di nuovo a GND; la sonda posta in uscita si accende e si spegne ogni volta che si ha una transizione da livello basso ad alto di $S1$ in accordo con le specifiche del progetto.

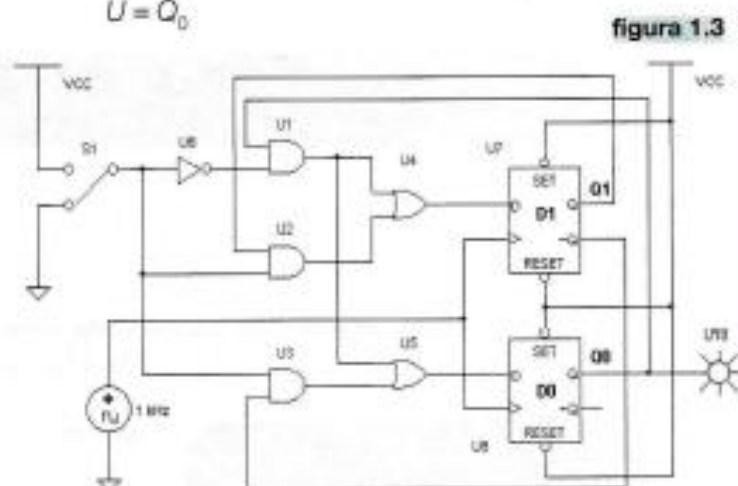


figura 1.3

esempio 1.2

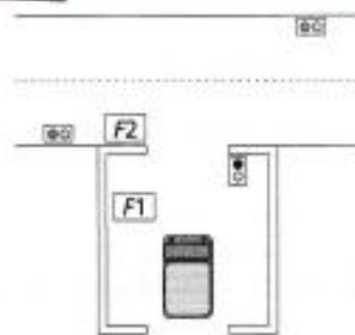


figura 1.4

In un garage dei vigili del fuoco che si affaccia su una strada con traffico di autoveicoli, è presente un automezzo. Quando questo deve uscire, dirigendosi verso l'uscita, attiva la fotocellula $F1$. Due semafori con luce verde e rossa sono posti sulla strada e un altro all'uscita del garage. Con l'attivazione della fotocellula $F1$ i semafori sulla strada passano dal verde al rosso e quello sull'uscita del garage dal rosso al verde. Una seconda fotocellula, posta sull'uscita del garage, intercetta l'autoveicolo e segnala quando esso è completamente uscito in modo da ripristinare lo stato iniziale dei semafori (**figura 1.4**).

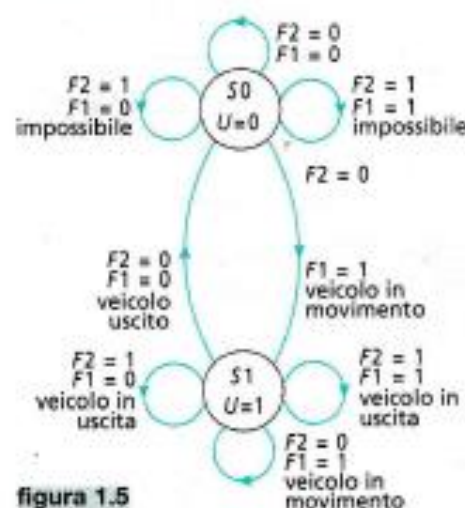


figura 1.5

Si può rappresentare il sistema con due ingressi ($F1$ e $F2$) e un'uscita U che controlla tutti i semafori.

Nella **figura 1.5** è riportato il diagramma degli stati del sistema. Il sistema logico combinatorio dell'uscita che pilota i semafori è realizzato seguendo le indicazioni della **tabella 1.6**.

Essendo presenti nel sistema solamente due stati si avrà la **variabile di stato Q** che verrà associata in modo arbitrario con i singoli stati come illustrato nella **tabella 1.6**. Partendo dal diagramma degli stati si ricava la **tabella di transizione degli stati** (**tabella 1.7**).

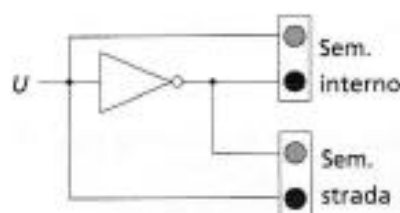


figura 1.6

tabella 1.6

Stato	Q	U
S0	1	1
S1	0	0

tabella 1.7

Stato di partenza	$F_2 F_1$			
	0 0	0 1	1 1	1 0
S0 [0] \Rightarrow	S0 [0]	S1 [1]	S0 [0]	S0 [0]
S1 [1] \Rightarrow	S0 [0]	S1 [1]	S1 [1]	S1 [1]

Q(t)	$F_2 F_1$			
	0 0	0 1	1 1	1 0
0 \Rightarrow	0	1	0	0
1 \Rightarrow	0	1	1	1

Realizzazione della rete con un flip-flop di tipo D

tabella 1.8

Tipo D			
Q(t)		Q(t+1)	D
0	\Rightarrow	0	0
0	\Rightarrow	1	1
1	\Rightarrow	0	0
1	\Rightarrow	1	1

Per effettuare la sintesi si sceglie un flip-flop di tipo D.

Per questo flip-flop la tabella di transizione è riportata nella **tabella 1.8**.

Si ricordi che per i flip-flop di tipo D, le tabelle di transizione e di eccitazione sono uguali in quanto il valore dell'uscita $Q(t+1)$ coincide con il valore che deve avere l'ingresso D all'istante t.

Quindi, utilizzando per la sintesi il flip-flop di tipo D, può essere utilizzata direttamente la **tabella 1.7** per costruire la rete combinatoria d'ingresso.

La tabella può essere posta sotto forma di mappa di Karnaugh.

$F_2 F_1$	0 0	0 1	1 1	1 0
Q				
0	0	1	0	0
1	0	1	1	1

$$D = \bar{F}_2 \cdot F_1 + F_2 \cdot Q$$

Tenendo conto che in questo caso i livelli assunti dall'uscita della rete coincidono con quelli assegnati alla variabile di stato Q ($U = Q$), in base alla **tabella 1.6**, non si rende necessaria la realizzazione della rete combinatoria di uscita. Si può quindi procedere alla sintesi dell'intera rete secondo lo schema di **figura 1.7**. Il circuito è realizzato con MultiSIM.

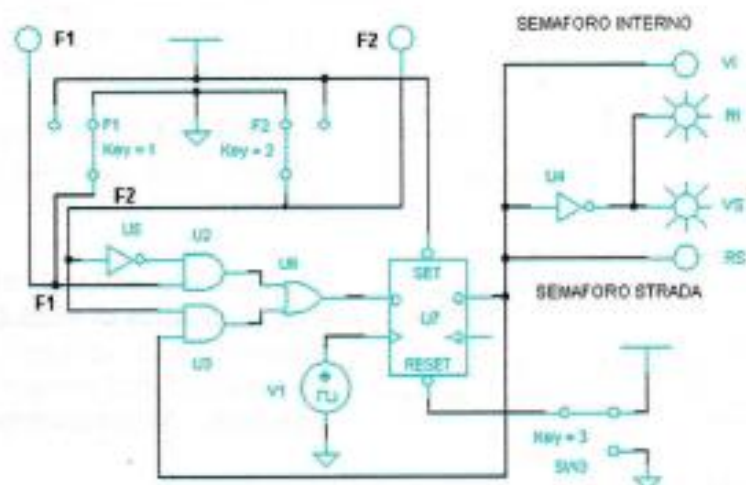


figura 1.7

Esecuzione della simulazione

Inizialmente F1 e F2 debbono trovarsi in posizione di riposo collegati a massa (come in figura 1.7). Resetare il sistema portando S3 (tasto numerico 3) a massa e poi di nuovo a Vcc. Nello stato iniziale il semaforo interno è rosso (RI acceso) e quello sulla strada è verde (VS acceso). Si prosegue con i seguenti passi:

1. portare F1 (tasto 1) a Vcc. Il veicolo intercetta la fotocellula F1. Si accendono VI (semaforo verde interno) e RS (rosso sulla strada);
2. portare F2 (tasto 2) a Vcc. Il veicolo intercetta la fotocellula F2. Lo stato dei semafori non cambia;
3. riportare F1 (tasto 1) a massa. Il veicolo non intercetta più la fotocellula F1. Lo stato dei semafori non cambia;
4. riportare F2 (tasto 2) a massa. Il veicolo non intercetta più la fotocellula F2. Si accendono RI (semaforo rosso interno) e VS (verde sulla strada).

Per eseguire la simulazione in modo automatico può essere collegato all'automa un generatore di parole (Word Generator), togliendo gli switch F1, F2 e SW3. Si veda a tale proposito l'esempio proposto nella sezione digitale del corso.

1.2 Sintesi con automa di Mealy**esempio 1.3**

Si voglia realizzare la rete logica descritta con il diagramma degli stati riportato nella figura 1.8. Il diagramma descrive un sistema con un solo ingresso I e una sola uscita U che deve cambiare stato ogni volta che l'interruttore fornisce un livello che passa dal livello basso a quello alto.

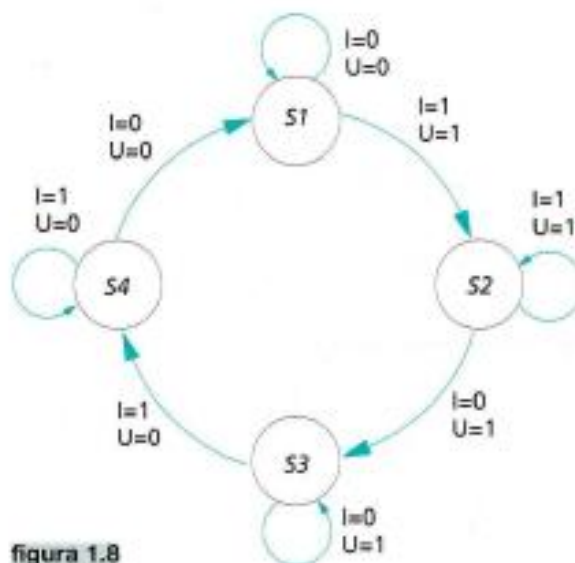


figura 1.8

La rete è stata già realizzata utilizzando l'automa di Moore. Per la tabella di transizione per il diagramma di Mealy, si associano arbitrariamente agli stati i valori delle variabili di stato ma non dell'uscita (parte sinistra della tabella 1.9).

Nella prima colonna della parte destra della tabella 1.9, si è indicato lo stato da cui si parte. Nelle colonne in colore, sono rappresentati i valori assunti dall'uscita nei diversi stati del sistema. Le doppie colonne rappresentano invece i valori che assumono le variabili di stato (Q_1 e Q_0) nel nuovo stato in cui si porta il sistema in base al valore assunto dall'ingresso I .

Scindendo per gli ingressi i due valori relativi a $Q_1(t+1)$ e $Q_0(t+1)$ si ottiene la tabella 1.10.

Per la rete d'uscita dalla tabella 1.10, prendendo in considerazione le sole uscite (colonne in colore) si ha la tabella 1.11.

tabella 1.9

Stato	Q_1	Q_0	Stato di partenza	Input I	
				0	1
S1	0	0	S1 \Rightarrow	00/0	01/1
S2	0	1	S2 \Rightarrow	11/1	01/1
S3	1	1	S3 \Rightarrow	11/1	10/0
S4	1	0	S4 \Rightarrow	00/0	10/0

tabella 1.10

Stato di partenza			Input I			
			0		1	
$Q_1(t)$	$Q_0(t)$		$Q_1(t+1)$	$Q_0(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	\Rightarrow	0	0	0	1
0	1	\Rightarrow	1	1	0	1
1	1	\Rightarrow	1	1	1	0
1	0	\Rightarrow	0	0	1	0

tabella 1.11

$Q_1(t)$		$Q_0(t)$		U	
				$I=0$	$I=1$
0	0	\Rightarrow		0	1
0	1	\Rightarrow		1	1
1	1	\Rightarrow		1	0
1	0	\Rightarrow		0	0

Per la sintesi con i **flip-flop di tipo D** può essere usata direttamente la **tabella 1.10** ricavando da essa le mappe di Karnaugh. Da cui si ricava:

$$D_1 = Q_0\bar{I} + Q_1I$$

	$Q_1, Q_0 \backslash I$	0	1
S1	0 0	0	0
S2	0 1	1	0
S3	1 1	1	1
S4'	1 0	0	1

$$D_0 = Q_0\bar{I} + \bar{Q}_1I$$

	$Q_1, Q_0 \backslash I$	0	1
S1	0 0	0	1
S2	0 1	1	1
S3	1 1	1	0
S4'	1 0	0	0

Per l'uscita U dalla **tabella 1.11** si ricava una mappa uguale a quella di D_0 per cui si ha:

$$U = Q_0\bar{I} + \bar{Q}_1I$$

(si ricordi che nell'automa di Mealy le uscite dipendono anche dal valore assunto dagli ingressi).

Procedendo alla sintesi con i flip-flop di tipo *D* si ha la rete di **figura 1.9**.

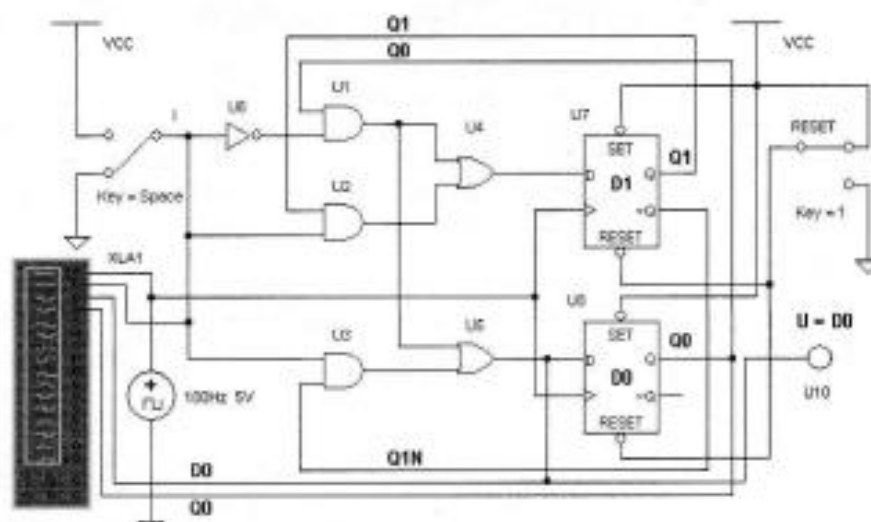


figura 1.9

Lo schema realizzato è uguale a quello trovato con la sintesi di Moore (**figura 1.3**). Nello schema di **figura 1.9** però l'uscita è presa su D_0 e non su Q_0 . Per rilevare l'andamento dei segnali, in fase di simulazione, è stato inserito nel circuito un analizzatore di stati logici. Le linee a esso collegate sono il clock (100 Hz), il segnale d'ingresso I , l'uscita U e Q_0 . Il deviatore di reset, attivabile con il tasto numerico 1, deve trovarsi normalmente in posizione Vcc. L'ingresso I viene comandato con la barra spaziatrice.

Esecuzione della simulazione

Per eseguire la simulazione con (MULTISIM) ed osservare l'andamento dei segnali bisogna procedere con i seguenti passi:

1. Aprire la finestra dell'analizzatore ed impostare i parametri:
 - clocks/div: 8,
 - Con il pulsante set (sotto clock):
 - post-trigger sample: 10000;
 - Clock: 1 kHz.
2. Avviare la simulazione e poi fare click su un punto vuoto della finestra contenente lo schema (per rendere attiva la finestra). *Se la finestra non è attiva i pulsanti non agiscono.*
3. Attivare più volte (con la barra spaziatrice) il deviatore I dell'ingresso.

È possibile osservare l'andamento dei segnali, a simulazione terminata, con lo Show Grapher (Grapher in Multisim 10) che si attiva dal menu View. Nella **figura 1.10** è visualizzato l'andamento della simulazione.

Si tenga presente che nell'**automa di Mealy, a differenza di quello di Moore, lo stato degli ingressi esterni influenza le uscite prima del fronte di salita del clock**. Infatti nella **figura 1.10** è messo in evidenza come l'uscita $U=D0$ cambia livello in corrispondenza della variazione di livello dell'ingresso I , mentre $Q0$ (uscita per l'automa di Moore), cambia stato con il fronte di salita del clock.

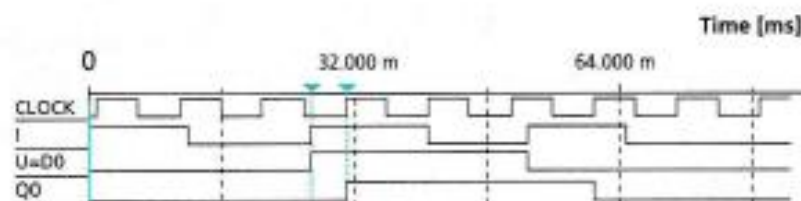


figura 1.10

esercizio

Si realizzi un sistema digitale che effettui il controllo di un dispositivo elettro-meccanico costituito da un asse (vite senza fine), posto in rotazione da un motore; su esso si muove una chiocciola che può variare il senso di marcia facendo ruotare il motore nel verso opposto a quello precedente. In prossimità delle due estremità dell'asse sono posti due switch di fine corsa azionati dalla chiocciola. I fine corsa forniscono in condizione di riposo un livello basso e, quando attivati, un livello alto. Il sistema di controllo deve essere in grado di variare il verso di marcia della chiocciola, invertendo il senso di rotazione del motore ogni volta che essa giunge su una delle estremità dell'asse ed aziona il corrispondente fine corsa (SW1 o SW2).

Per il diagramma degli stati e la trattazione completa del sistema → Volume 1, Modulo 3, Unità 2, esempio 2.4. Per invertire il senso di marcia del motore, che si suppone sia in corrente continua, alimentato a 12 V,

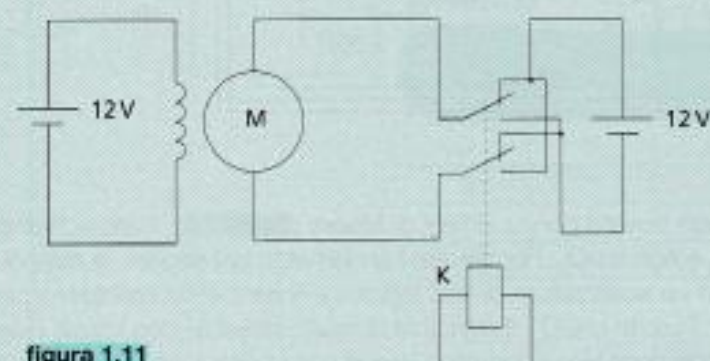


figura 1.11

si deve invertire la polarità di alimentazione dell'armatura utilizzando per esempio un relè a doppio scambio. Per motori con tensioni e correnti più elevate può essere utilizzato un teleruttore. In figura 1.11 è riportato lo schema per invertire la polarità di alimentazione del motore.

La rete logica da realizzare deve quindi avere un'uscita (U) che alimenta la bobina K del relè e due ingressi (I_1 e I_2) collegati agli switch.

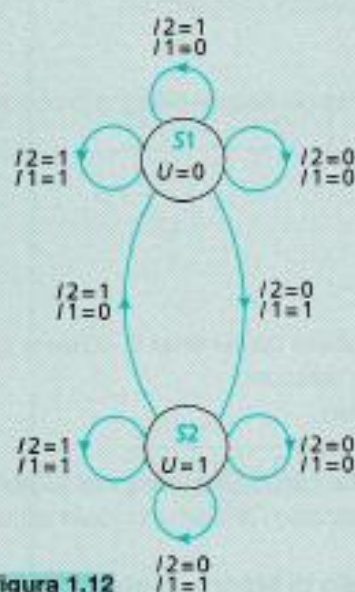


figura 1.12

In figura 1.12 è riportata la rappresentazione di Moore del diagramma degli stati del sistema.

Il sistema con due stati, il primo con uscita $U = 0$ ed il secondo con $U = 1$ si porta dallo stato $S1$ allo stato $S2$ solamente quando $I_1 = 1$ e $I_2 = 0$ (è attivo SW1) e dallo stato $S2$ ad $S1$ con $I_1 = 0$ e $I_2 = 1$ (attivo SW2). Per tutte le altre combinazioni degli ingressi il sistema rimane negli stati in cui si trova. È stata presa in considerazione anche la combinazione degli ingressi $I_1 = 1$ e $I_2 = 1$ (che non si può avere) ponendo anche per tale condizione la permanenza del sistema nello stato attuale.

Essendo presenti nel sistema solamente due stati si avrà una sola variabile di stato, che sarà chiamata Q . Si associ in modo arbitrario il valore assunto dalla variabile di stato con i singoli stati, come illustrato nella tabella 1.12.

tabella 1.12

Stato	Q	U
S1	1	1
S2	0	0

Nella tabella è stato inserito anche il valore che assume l'uscita in corrispondenza dei singoli stati. Come è possibile osservare, non è necessario effettuare la sintesi della rete combinatoria d'uscita in quanto si ha $U = Q$. Per la realizzazione del sistema occorrerà utilizzare un solo flip-flop. La variabile di stato rappresenta l'uscita del flip-flop.

Il diagramma degli stati deve essere tradotto in una tabella (tabella di transizione degli stati) che descrive le transizioni presenti nel diagramma in base alle configurazioni che hanno gli ingressi.

Nella tabella 1.13, nella prima colonna si è indicato lo stato da cui si parte e nelle altre colonne quello in cui si porta il sistema in base alla combinazione che hanno gli ingressi. Accanto allo stato si è posto tra parentesi anche il valore assegnato alla variabile di stato Q che può desumersi dalla tabella 1.12.

La tabella 1.13 può essere riscritta in base ai valori assunti dalla variabile di stato in corrispondenza delle diverse combinazioni degli ingressi. La tabella 1.14 indicherà quindi il valore assunto dalla variabile di stato

nello stato di partenza $Q(t)$ e quello a cui si deve portare $Q(t+1)$ in base al valore assunto dagli ingressi, quando il sistema passerà nel nuovo stato o permarrà in quello in cui si trova.

tabella 1.13

Stato di partenza	$I_2 I_1$			
	0 0	0 1	1 1	1 0
S1 [0] \Rightarrow	S1 [0]	S2 [1]	S1 [0]	S1 [0]
S2 [1] \Rightarrow	S2 [1]	S2 [1]	S2 [1]	S1 [0]

tabella 1.14

$Q(t)$	$I_2 I_1$			
	0 0	0 1	1 1	1 0
0 \Rightarrow	0	1	0	0
1 \Rightarrow	1	1	1	0

Si deve ora effettuare la scelta del tipo di flip-flop con cui realizzare la rete. Questa scelta può essere fatta tra flip-flop di tipo D , T o J - K . Prescelto in modo arbitrario il tipo di flip-flop, si dovrà prendere in considerazione per esso la relativa tabella di transizione.

Realizzazione della rete con un flip-flop di tipo D

Per effettuare la sintesi si sceglie un flip-flop di tipo D .

Per questo flip-flop la tabella di transizione è riportata nella **tabella 1.15**.

Si ricordi che per i flip-flop di tipo D , le tabelle di transizione e di eccitazione sono uguali in quanto il valore dell'uscita $Q(t+1)$ coincide con il valore che deve avere l'ingresso D all'istante t .

Quindi, utilizzando per la sintesi il flip-flop di tipo D , può essere utilizzata direttamente la **tabella 1.12** per costruire la rete combinatoria d'ingresso.

La tabella può essere posta sotto forma di mappa di Karnaugh.

tabella 1.15

Tipo D			
$Q(t)$		$Q(t+1)$	D
0	\Rightarrow	0	0
0	\Rightarrow	1	1
1	\Rightarrow	0	0
1	\Rightarrow	1	1

$Q \backslash I_2 I_1$	0 0	0 1	1 1	1 0
0	0	1	0	0
1	1	1	1	0

$$D = Q \cdot \bar{I}_2 + \bar{I}_2 \cdot I_1 + Q \cdot I_1$$

Tenendo conto che in questo caso i livelli assunti dall'uscita della rete coincidono con quelli assegnati alla variabile di stato Q ($U = Q$), in base alla tabella 1.8, non si rende necessaria la realizzazione della rete combinatoria di uscita. Si può quindi procedere alla sintesi dell'intera rete in base allo schema generale di **figura 1.13**. Il circuito è realizzato con MultiSIM. All'ingresso della rete sono collegati i segnali d'ingresso esterni I_1 e I_2 provenienti dai fine corsa (SW1 e SW2) e la variabile di stato Q che è l'uscita dell'elemento di memoria. Un BJT collegato all'uscita del flip-flop pilota le bobine K1 e K2 di due relè posti in parallelo (sostituiscono un singolo relè a doppio scambio). Nel circuito è presente anche uno switch collegato con il clear del

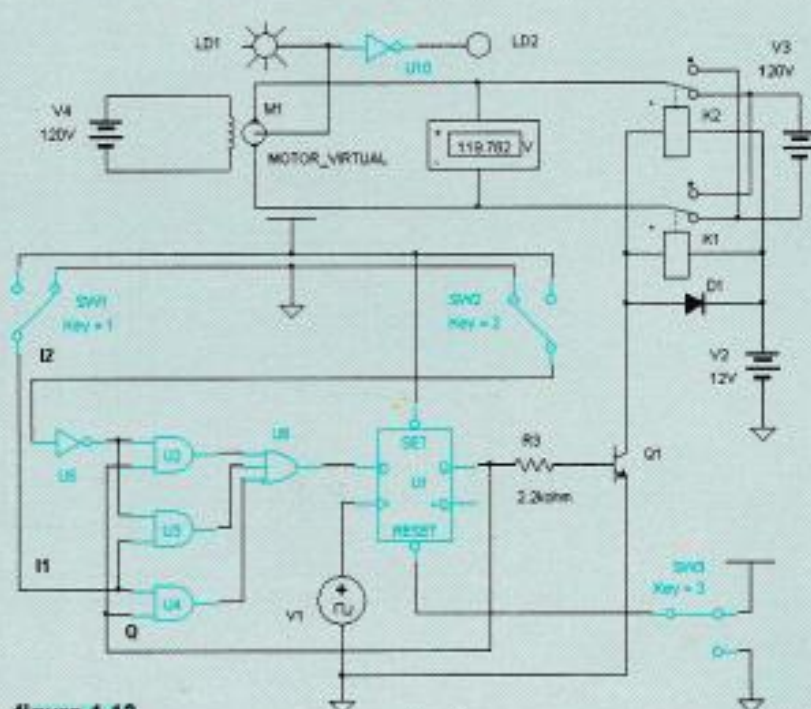


figura 1.13

D-LATCH per avviare il sistema con $U = 0$. La frequenza del clock è fissata a 100 Hz. Sull'asse del motore, per controllare il verso di rotazione, sono stati inseriti due led. Quello acceso indica in quale direzione si sta muovendo la chiocciola e quindi quale dei due switch SW1 o SW2 deve essere azionato.

Esecuzione della simulazione

1. Gli switch SW1 e SW2, attivabili con i tasti numerici 1 e 2, debbono trovarsi come in **tabella 1.13** (livello basso).
2. Avviata la simulazione, portare SW3 a massa e poi a livello alto con il tasto numerico 3.
3. Se è acceso LD1 con il tasto numerico 1 portare per qualche istante SW1 a livello alto e poi riportarlo a massa (viene simulata la pressione del carrello sul fine corsa). Dopo alcuni istanti, i relè K1 e K2 commutano e si accende LD2 (il motore ha invertito il senso di rotazione e il carrello si muove nella direzione opposta).
4. Con il tasto numerico 2 portare per qualche istante SW2 a livello alto e poi riportarlo a massa. Dopo alcuni istanti, i relè K1 e K2 commutano di nuovo e si accende LD1.

Note

- I relè adoperati nel circuito (menu BASIC \Rightarrow RELAY \Rightarrow RELAY1C) sono polarizzati e quindi devono essere inseriti come in figura. Per i relè sono stati adoperati i simboli DIN da attivare con OPTIONS \Rightarrow PREFERENCES \Rightarrow COMPONENT BIN, per gli altri componenti i simboli ANSI.
- Il diodo posto in parallelo alle bobine del relè è di protezione per il BJT e nel circuito di simulazione può anche non essere inserito.
- Il voltmetro in parallelo al motore segnala l'inversione di polarità quando avviene la commutazione del relè.
- Nel circuito è stato usato un motore DC alimentato a 120 V che è quello disponibile in MultiSIM (menu Misc \Rightarrow Motor).

Esecuzione della simulazione in modalità automatica

Inserendo al posto degli switch SW1 e SW2 un generatore di parole, la simulazione può essere eseguita automaticamente e in modo ciclico. Lo schema elettrico del sistema è riprodotto in **figura 1.14**. Nel circuito è stata introdotta una rete RC per il reset automatico del flip-flop all'avvio del sistema: inizialmente il condensatore è scarico e quindi sul pin di reset c'è livello basso; poi il condensatore si carica e il pin si porta, a regime, a livello alto.

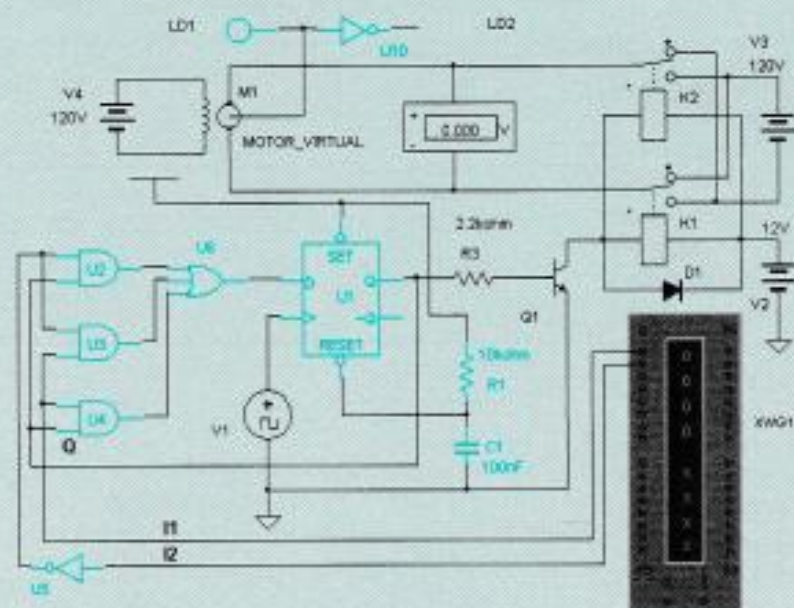


figura 1.14

La programmazione del generatore è riportata in **figura 1.15**.

- Impostare il clock a 100 Hz. La scelta della frequenza potrebbe essere modificata in relazione a quella del computer utilizzato.
- Programmare le parole da 0000h fino a 000Eh come in figura.
- Selezionare Cycle.
- Avviata la simulazione, il generatore di parole commuta automaticamente gli ingressi della rete combinatoria, invertendo ogni volta il verso di rotazione del motore.



figura 1.15

esercizi proposti

- Utilizzando l'automa di Moore, si realizzi la rete logica dell'esempio 1.1, usando flip-flop di tipo T (sono già state trovate le funzioni logiche di T_0 e T_1). Se ne esegua la simulazione usando il generatore di parole e l'analizzatore di stati logici di MultiSIM.
- Utilizzando l'automa di Moore, si realizzi la rete logica dell'esempio usando flip-flop di tipo $J-K$ e se ne esegua la simulazione. Le funzioni logiche sono:

$$J_1 = \bar{T} \cdot Q_0 \quad K_1 = \bar{T} \cdot \bar{Q}_0 \quad J_0 = I \cdot \bar{Q}_1 \quad K_0 = I \cdot Q_1$$
- Utilizzando l'automa di Moore, si realizzi la rete logica dell'esempio 1.2 usando flip-flop di tipo $J-K$ e se ne esegua la simulazione. Le funzioni logiche sono:

$$J = \bar{F}_2 \cdot F_1 \quad K = \bar{F}_2 \cdot \bar{F}_1$$
- Si tracci il diagramma di stato del riconoscitore della sequenza 101 realizzato con l'automa di Mealy. Sono sequenze considerate utili 101 101101 e 10101. Sequenza non utile 00.
- Utilizzando l'automa di Moore, si realizzi la rete logica dell'esempio 1.3 usando flip-flop di tipo D e se ne esegua la simulazione.
- Si realizzi il diagramma di stato del riconoscitore della sequenza 101 realizzato con l'automa di Moore. Sono sequenze considerate utili 101 101101 e 10101. Sequenza non utile 00.
- Si realizzi la sintesi con flip-flop di tipo D del riconoscitore della sequenza 101 realizzato con l'automa di Mealy. Sono sequenze considerate utili 101 101101 e 10101. Sequenza non utile 00. Si esegua la simulazione della rete realizzata usando Multisim.
- Si realizzi la sintesi con flip-flop di tipo D del riconoscitore della sequenza 101 realizzato con l'automa di Moore. Sono sequenze considerate utili 101 101101 e 10101. Sequenza non utile 00. Si esegua la simulazione della rete realizzata usando Multisim.